

Inhaltsverzeichnis

1 Widerstand und Leitwert.....	3
2 Widerstand von Leitungen.....	3
3 Widerstand und Temperaturen.....	3
4 Das Ohmsche Gesetz	3
5 Reihenschaltung von Widerständen	4
6 Parallelschaltung von Widerständen.....	4
7 Die Kirchhoffschen Gesetze	5
8 Die elektrische Arbeit	6
9 Die elektrische Leistung	6
10 Leistungsanpassung.....	6
11 Der Stromverteilungssatz	6
12 Der Spannungsteiler.....	7
13 Größen des magnetischen Feldes	8
14 Das Induktionsgesetz.....	9
15 Die Induktivität einer Spule.....	10
16 Schaltvorgänge bei Induktivitäten	10
17 Energiespeicherung in einer Spule	12
18 Schaltungen mit Induktivitäten	12
19 Größen des elektrischen Feldes	13
20 Berechnung der Kapazität eines Plattenkondensators	14
21 Kondensatorschaltungen	14
22 Ladevorgänge	15
23 Grundgrößen der Wechselstromtechnik.....	17
24 Gleichrichterdiode.....	18
25 Spannungsstabilisierung mit Z-Dioden.....	19
26 Analoge Verstärker mit bipolaren Transistoren	20
27 Analoge Verstärker mit Feldeffekttransistoren	22
28 Operationsverstärker	24
29 Gesetze und Regeln der Schaltungsalgebra	31

30 Kennzeichen am Ein-/Ausgang binärer Elemente	32
31 Schaltungen mit Speicherverhalten	33
32 Abtasttheorem nach Shannon	36
33 Analog-Digital-Umsetzung.....	36
34 Fehlerarten	39
35 Auswerten einer Messreihe	39
36 Fehlergrenzen von Messgeräten	40
37 Messung des arithmetischen Mittelwertes	41
38 Messung des Effektivwertes	42
39 Datenblätter.....	44
40 E-Reihen und Toleranzen	54
41 Kennzeichnung von Kapazitäts- und Widerstandswerten	54

1 Widerstand und Leitwert

$$R = \frac{1}{G}$$

R : elektrischer Widerstand
G : elektrischer Leitwert

$$G = \frac{1}{R}$$

2 Widerstand von Leitungen

$$R = \frac{\rho \cdot l}{A}$$

ρ : spezifischer Widerstand in $\frac{\Omega \cdot \text{mm}^2}{\text{m}}$

$$R = \frac{l}{\kappa \cdot A}$$

κ : elektrische Leitfähigkeit in $\frac{\text{m}}{\Omega \cdot \text{mm}^2}$

l : Leiterlänge
A : Leiterquerschnitt

3 Widerstand und Temperaturen

$$R = R_{20} + \Delta R$$

R : Warmwiderstand
R₂₀ : Kaltwiderstand (20 °C)

$$\Delta R = R_{20} \cdot \alpha \cdot \Delta \vartheta$$

ΔR : Widerstandsänderungen
 α : Temperaturbeiwert in K⁻¹

$$R = R_{20}(1 + \alpha \cdot \Delta \vartheta)$$

$\Delta \vartheta$: Temperaturänderung in K

4 Das Ohmsche Gesetz

$$I = \frac{U}{R}$$

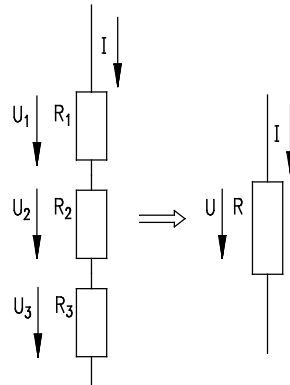
I : Stromstärke
U : elektrische Spannung
R : Widerstand
G : Leitwert

$$I = U \cdot G$$

$$U = I \cdot R$$

$$R = \frac{U}{I}$$

5 Reihenschaltung von Widerständen



Ersatzwiderstand der Reihenschaltung

$$R = R_1 + R_2 + \dots + R_n$$

R : Gesamtwiderstand (Ersatzwiderstand)

U : Gesamtspannung

$$U = U_1 + U_2 + \dots + U_n$$

$R_1 \dots R_n$: Teilwiderstände

$U_1 \dots U_n$: Teilspannungen

$$I = I_1 = I_2 = \dots = I_n$$

n : Anzahl gleicher Widerstände

$$R = R_1 \cdot n$$

$$U = U_1 \cdot n$$

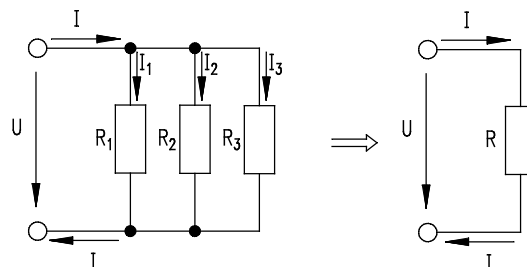
$$I = \frac{U_1}{R_1} = \dots = \frac{U_n}{R_n}$$

$$I = \text{konst.}$$

Spannungsverhältnis bei der Reihenschaltung von zwei Widerständen

$$\frac{U_1}{U_2} = \frac{R_1}{R_2}$$

6 Parallelschaltung von Widerständen



Ersatzwiderstand der Parallelschaltung

$$\frac{1}{R} = \frac{1}{R_1} + \frac{1}{R_2} + \dots + \frac{1}{R_n}$$

$$G = G_1 + G_2 + \dots + G_n$$

$$I = I_1 + I_2 + \dots + I_n$$

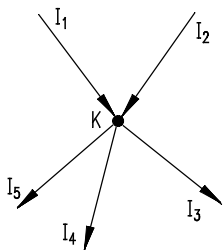
$$U = U_1 = U_2 = \dots = U_n$$

$$U = \text{konst.}$$

R : Gesamtwiderstand (Ersatzwiderstand)
 $R_1 \dots R_n$: Teilwiderstände
 G : Gesamtleitwert
 $G_1 \dots G_n$: Teilleitwerte
 I : Gesamtstrom
 $I_1 \dots I_n$: Teilströme

7 Die Kirchhoffschen Gesetze

Knotenpunktregel (1. Kirchhoffsches Gesetz)



Stromverzweigungspunkt

$$I_1 + I_2 = I_3 + I_4 + I_5$$

allgemein :

$$\Sigma I_{\text{zu}} = \Sigma I_{\text{ab}}$$

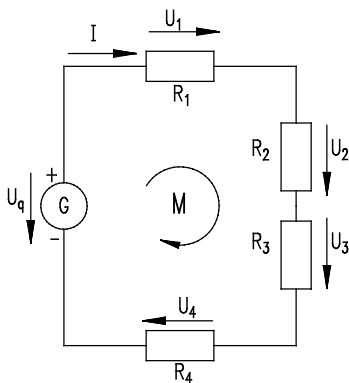
oder :

$$\Sigma I = 0$$

I_{zu} : auf den Knotenpunkt zufließender Strom

I_{ab} : vom Knotenpunkt weg fließender Strom

Maschenregel (2. Kirchhoffsche Regel)



U : Gesamtspannung in der Masche
 G : Gleichspannungsquelle
 M : geschlossener Stromkreis (Masche)
 I : Gesamtstrom
 R : Gesamtwiderstand

$$U_q = I \cdot (R_1 + R_2 + R_3 + R_4) \text{ bzw.}$$

$$U_q = U_1 + U_2 + U_3 + U_4 \quad \text{oder}$$

$$U_q - U_1 - U_2 - U_3 - U_4 = 0$$

allgemein :

$$\Sigma U_q = \Sigma I \cdot R_i \quad \text{oder} \quad \Sigma U = 0$$

8 Die elektrische Arbeit

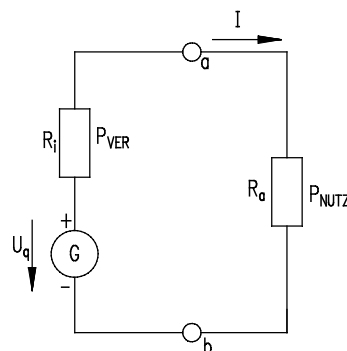
$W = U \cdot Q$	W	: elektrische Arbeit
	Q	: bewegte Ladungsmenge
$W = U \cdot I \cdot t$	U	: elektrische Spannung
	I	: elektrischer Strom
$W = P \cdot t$	P	: elektrische Leistung

Es entspricht $1 \text{ Ws} = 1 \text{ Nm} = 1 \text{ J (Joule)}$
 $1 \text{ kWh} = 3,6 \cdot 10^6 \text{ Ws bzw. J}$

9 Die elektrische Leistung

$P = \frac{W}{t}$	P	: elektrische Leistung
	W	: elektrische Arbeit
	t	: Zeit in der die Arbeit verrichtet wird
$P = U \cdot I$	I	: Stromstärke
	U	: Spannung

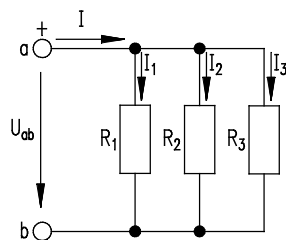
10 Leistungsanpassung



P_{NUTZ} : am Lastwiderstand abgegebene Nutzleistung
 P_{VER} : Verlustleistung am Innenwiderstand des Generators
 η : Wirkungsgrad

$$R_a = R_i \quad \eta = 0,5 \quad U_{ab} = \frac{1}{2} U_q$$

11 Der Stromverteilungssatz

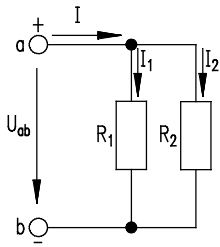


I_1 : Gesamtstrom
 $I_1 \dots I_n$: Teilströme
 $R_1 \dots R_n$: Zweigwiderstände
 $G_1 \dots G_n$: Zweigleitwerte
 U_{ab} : anliegende Spannung

Stromverteilung bei parallelen Widerständen

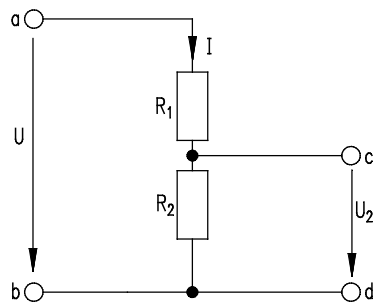
$$I_1 : I_2 : I_3 : \dots : I_n = \frac{1}{R_1} : \frac{1}{R_2} : \frac{1}{R_3} : \dots : \frac{1}{R_n}$$

$$I_1 : I_2 : I_3 : \dots : I_n = G_1 : G_2 : G_3 : \dots : G_n$$

Zwei parallele Zweige (Stromteiler)

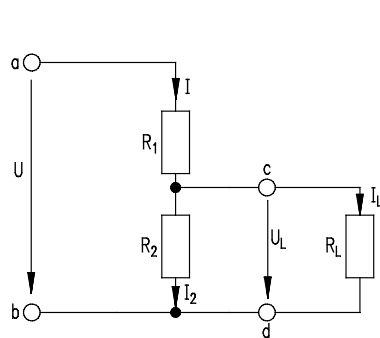
$$I_1 = I \cdot \frac{R_2}{R_1 + R_2}$$

$$I_2 = I \cdot \frac{R_1}{R_1 + R_2}$$

12 Der Spannungsteiler**Der unbelastete Spannungsteiler**

$$U_2 = U \cdot \frac{R_2}{R_1 + R_2}$$

U : Eingangsspannung
 U₂ : herabgeteilte Spannung am Widerstand R₂

Der belastete Spannungsteiler

$$U_L = U \cdot \frac{R_p}{R_1 + R_p}$$

$$R_p = \frac{R_2 \cdot R_L}{R_2 + R_L}$$

R_L : Lastwiderstand
 U_L : Ausgangsspannung bei Last
 I_L : Laststrom
 R_p : Parallel-Ersatzwiderstand von R₂ und R_L

13 Größen des magnetischen Feldes

Magnetische Durchflutung

$\Theta = I \cdot N$	Θ	: magnetische Durchflutung in A
	I	: Erregerstromstärke
	N	: Windungszahl der Spule

Magnetischer Fluss

$\Phi = B \cdot A$	Φ	: Magnetischer Fluss in Vs oder Ws
	B	: Flussdichte bzw. magnetische Leitfähigkeit in Vs/m ² bzw. (Tesla)
	A	: Fläche in dem das Magnetfeld wirksam ist in m ²

Flussdichte

$B = \mu \cdot H$	B	: Flussdichte (Induktion)
	μ	: Permeabilität, magnetische Leitfähigkeit in Vs/Am
	H	: magnetische Feldstärke in A/m

Permeabilität

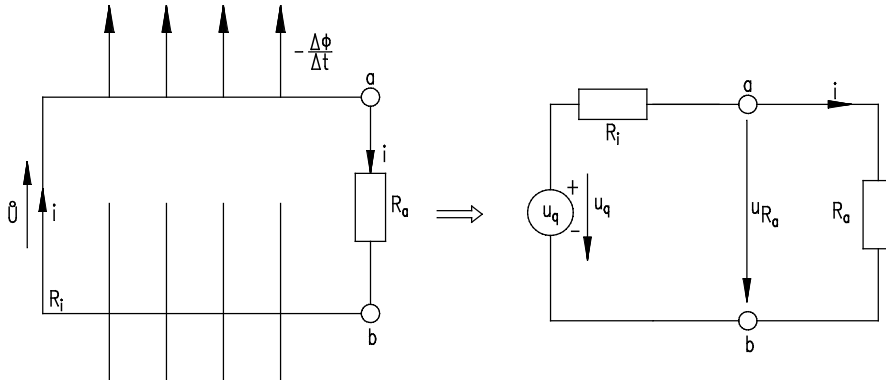
$\mu = \mu_0 \cdot \mu_r$	μ	: Permeabilität
	μ_0	: Induktionskonstante = $4\pi \cdot 10^{-7}$ Vs / Am = $1,256 \cdot 10^{-6}$ Vs / Am
	μ_r	: relative Permeabilität, Permeabilitätszahl

Magnetische Feldstärke

$H = \frac{\Theta}{l_m}$	H	: magnetische Feldstärke A/m
	l_m	: mittlere Feldlinienlänge in m

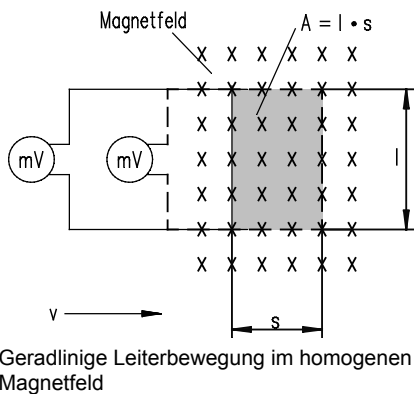
14 Das Induktionsgesetz

Darstellung des Induktionsvorganges mit einer Ersatzspannungsquelle



- \dot{U} : induzierte elektrische Umlaufspannung, $\dot{U} = -u_q$
 u_q : induzierte Quellenspannung der Ersatzspannungsquelle
 $\frac{\Delta\Phi}{\Delta t}$: Flussänderungsgeschwindigkeit in der Leiterschleife
 i : induzierter Strom
 R_i : Innenwiderstand der Quelle
 R_a : Lastwiderstand
 N : Windungszahl
 $u_q = N \cdot \frac{\Delta\Phi}{\Delta t}$ Induktionsgesetz

Induktionsgesetz beim bewegten Leiter im Magnetfeld



Voraussetzungen :

Feldlinien werden senkrecht geschnitten

$$N = 1$$

$$\Delta\Phi = B \cdot \Delta s \cdot l$$

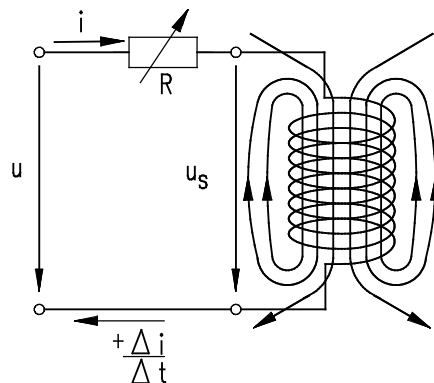
$$u_q = \frac{\Delta\Phi}{\Delta t}$$

$$u_q = \frac{B \cdot l \cdot \Delta s}{\Delta t} \quad \begin{array}{l} l \\ v \end{array} \quad \begin{array}{l} : \text{Leiterlänge im Feld} \\ : \text{Bewegungsgeschwindigkeit des Leiters} \end{array}$$

$$\frac{\Delta s}{\Delta t} = v$$

$$u_q = B \cdot l \cdot v$$

15 Die Induktivität einer Spule



Selbstinduktion einer Spule

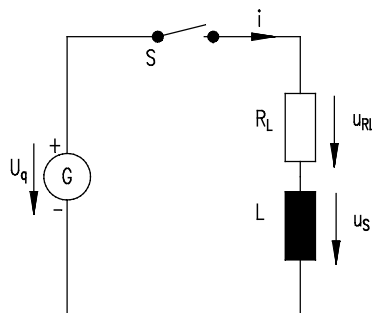
$$u_s = L \cdot \frac{\Delta i}{\Delta t}$$

$$L = \frac{N^2 \cdot \mu \cdot A}{l}$$

L : Induktivität der Spule in H (Henry)
 μ : Permeabilität $\mu_0 \cdot \mu_r$
 l : Leiterlänge der Spule
 N : Windungszahl

16 Schaltvorgänge bei Induktivitäten

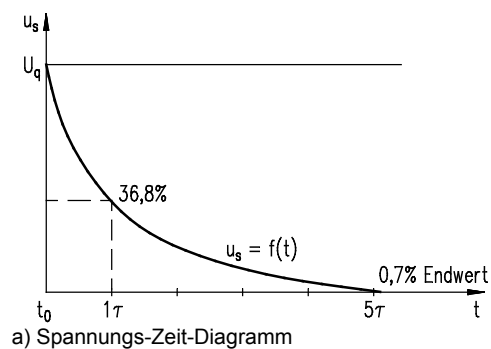
Selbstinduktion beim Einschalten



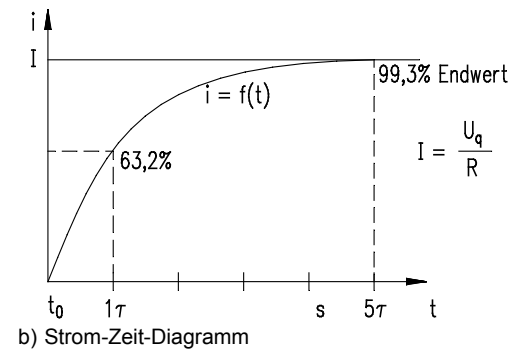
$$u_{RL} = i \cdot R_L$$

$$u_s = L \cdot \frac{\Delta i}{\Delta t}$$

Ersatzschaltbild bei Stromzunahme $+\frac{\Delta i}{\Delta t}$



a) Spannungs-Zeit-Diagramm



b) Strom-Zeit-Diagramm

$$\tau = \frac{L}{R}$$

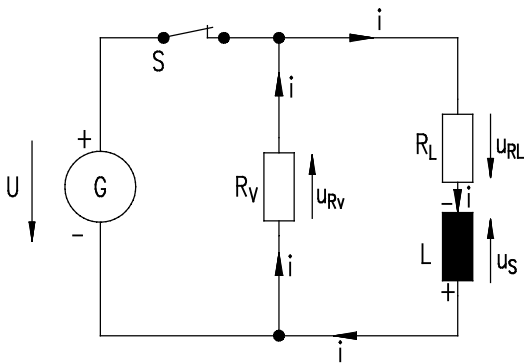
$$u_S = U_q \cdot e^{-\frac{t}{\tau}}$$

$$i = I \left(1 - e^{-\frac{t}{\tau}} \right)$$

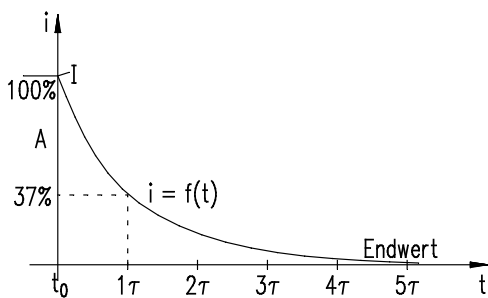
$$I = \frac{U_q}{R}$$

τ	: Zeitkonstante
L	: Induktivität
R_L	: Ohmscher Widerstand der Spule (Vorwiderstand)
U_q	: Quellspannung
u_S	: Selbstinduktionsspannung
i	: Augenblickswert des Spulenstroms
I	: Endwert des Stroms

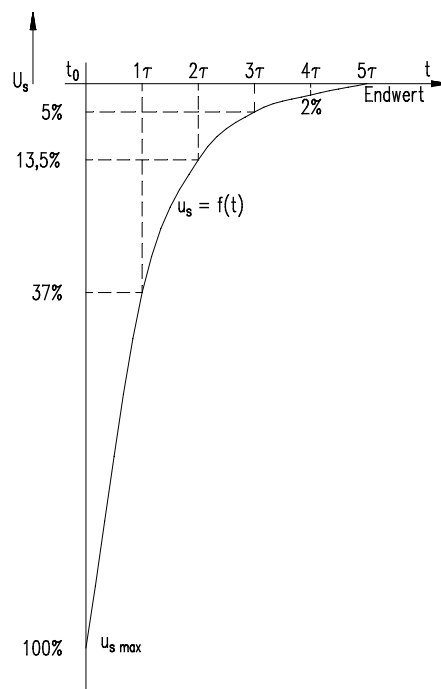
Selbstinduktion beim Ausschalten



Ersatzschaltbild bei Stromabnahme $-\frac{\Delta i}{\Delta t}$



a) Verlauf des Stroms nach dem Ausschalten



b) Verlauf der Selbstinduktionsspannung nach dem Abschalten

$$\tau = \frac{L}{R_L + R_V}$$

$$i = I \cdot e^{-\frac{t}{\tau}}$$

$$u_S = L \cdot \frac{\Delta i}{\Delta t}$$

$$I = \frac{U_q}{R_L + R_V}$$

$$U_{R_V} = I \cdot R_V$$

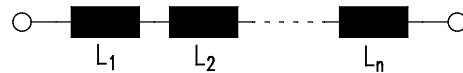
τ	: Zeitkonstante
L	: Induktivität der Spule
R_L	: Ohmscher Widerstand der Spule
R_V	: Vorwiderstand
i	: Augenblickswert des Spulenstroms
I	: Maximalwert des Spulenstroms
U_q	: Quellspannung der Batterie
u_S	: Selbstinduktionsspannung in der Spule
U_{R_V}	: Spannungsspitze von u_S (von R_V begrenzt), die am Verbraucher anliegt
$\frac{\Delta i}{\Delta t}$: Stromänderungsgeschwindigkeit bei Stromabnahme

17 Energiespeicherung in einer Spule

$$W_m = \frac{1}{2} L \cdot I^2$$

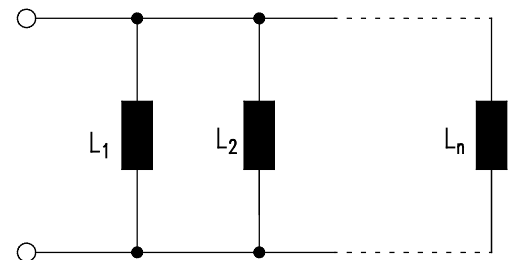
W_m	: Energie des magnetischen Feldes in der Spule
L	: Induktivität
I	: Spulenstrom

18 Schaltungen mit Induktivitäten



a) Reihenschaltung

$$L_{\text{ges}} = L_1 + L_2 + \dots + L_n$$

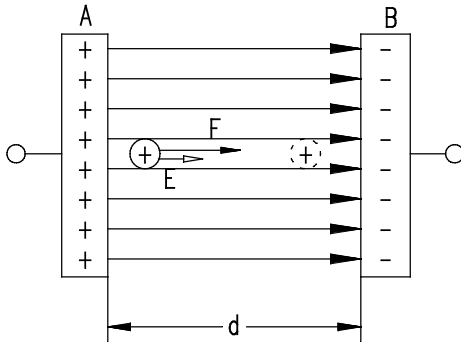


b) Parallelschaltung

$$\frac{1}{L_{\text{ges}}} = \frac{1}{L_1} + \frac{1}{L_2} + \dots + \frac{1}{L_n}$$

Für zwei parallel geschaltete Spulen gilt die Beziehung

$$L_{\text{ges}} = \frac{L_1 \cdot L_2}{L_1 + L_2}$$

19 Größen des elektrischen Feldes

Probeladung im homogenen Feld

Elektrische Feldstärke

$$E = \frac{F}{Q}$$

$$E = \frac{U}{d} *$$

$$[E] = \frac{V}{m}$$

- E : elektrische Feldstärke
 F : Kraftwirkung auf elektrische Ladungen
 Q : elektrische Ladung
 U : elektrische Spannung
 d : Plattenabstand

*Beim Plattenkondensator

Kapazität

$$C = \frac{Q}{U}$$

- Q : Ladung des Kondensators
 C : Kapazität des Kondensators

$$[C] = \frac{As}{V} = F \text{ (Farad)}$$

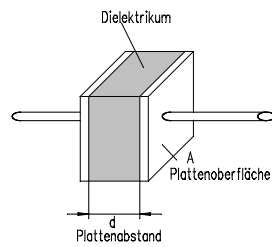
Dielektrizitätskonstante

$$\varepsilon = \varepsilon_0 \cdot \varepsilon_r$$

$$[\varepsilon] = \frac{As}{Vm}$$

- ε : Dielektrizitätskonstante (Permittivität)
 ε_0 : elektrische Feldkonstante
 $= 8,854 \cdot 10^{-12} \text{ As / Vm}$
 ε_r : Dielektrizitätszahl (Permittivitätszahl)

20 Berechnung der Kapazität eines Plattenkondensators

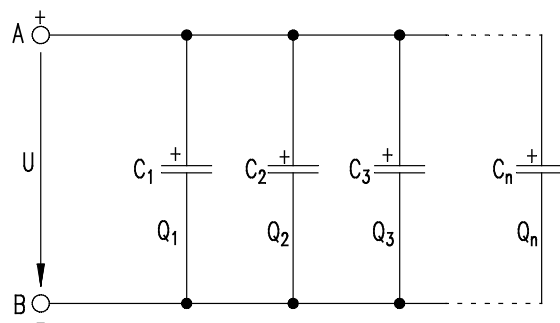


$$C = \varepsilon_0 \cdot \varepsilon_r \cdot \frac{A}{d}$$

C : Kapazität
A : wirksame Plattenoberfläche
d : Plattenabstand
 ε_r : Dielektrizitätszahl, Werkstoffeinfluss
 ($\varepsilon_r = 1$ für Luft)

21 Kondensatorschaltungen

Die Parallelschaltung



Parallelschaltung von Kondensatoren

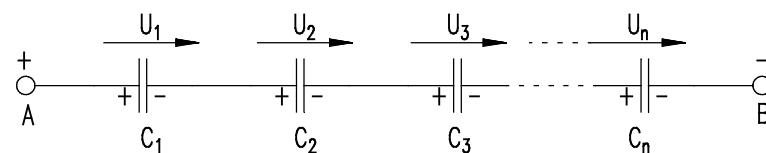
$$C_{\text{ges}} = C_1 + C_2 + C_3 + \dots + C_n$$

$$U = \frac{Q_{\text{ges}}}{C_{\text{ges}}} = \frac{Q_1}{C_1} = \frac{Q_2}{C_2} = \dots = \frac{Q_n}{C_n}$$

Bei n gleichen Kondensatoren:

$$C_{\text{ges}} = n \cdot C$$

Die Reihenschaltung



Reihenschaltung von Kondensatoren

$$\frac{1}{C_{\text{ges}}} = \frac{1}{C_1} + \frac{1}{C_2} + \frac{1}{C_3} + \dots + \frac{1}{C_n}$$

$$U_{\text{ges}} = U_1 + U_2 + U_3 + \dots + U_n$$

$$U_1 = \frac{Q}{C_1}; \quad U_2 = \frac{Q}{C_2}; \quad U_3 = \frac{Q}{C_3}; \quad U_n = \frac{Q}{C_n}$$

$$Q_{\text{ges}} = Q_1 = Q_2 = Q_3 = \dots = Q_n$$

Bei n gleichen Kondensatoren:

$$C_{\text{ges}} = \frac{C}{n}$$

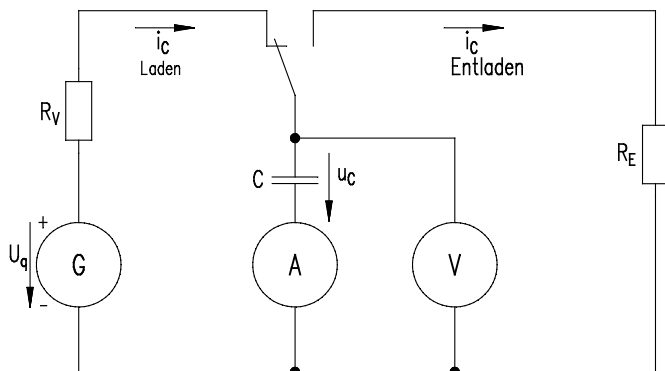
$$U_1 = U_2 = U_3 = \dots = U_n$$

Bei zwei in Reihe geschalteten Kondensatoren:

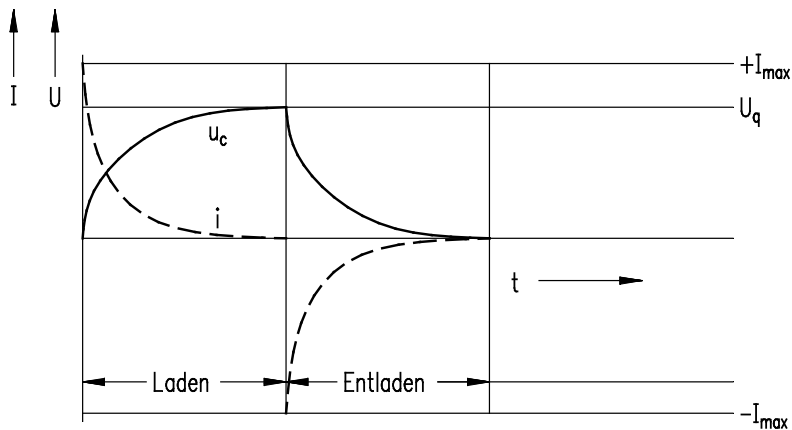
$$C_{\text{ges}} = \frac{C_1 \cdot C_2}{C_1 + C_2}$$

$$\frac{C_1}{C_2} = \frac{U_2}{U_1}$$

22 Ladevorgänge

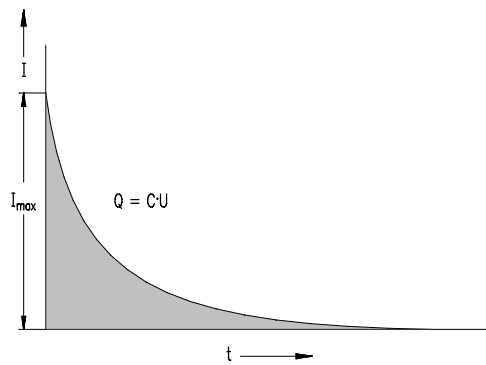


Versuchsschaltung zum Messen von Strom und Spannung beim Laden und Entladen eines Kondensators

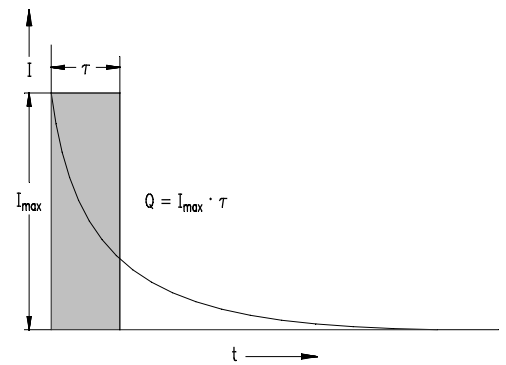


Lade- und Entladekurve eines Kondensators für $R_v = R_E$

Die Zeitkonstante



a) Ladung eines Kondensators



b) Umwandlung in ein flächengleiches Rechteck

$$Q = C \cdot U$$

$$Q = I_{\max} \cdot \tau$$

Q : gespeicherte Ladung

I_{\max} : maximaler Ladestrom

τ : Zeitkonstante

C : Kapazität

R : Lade- bzw. Entladewiderstand

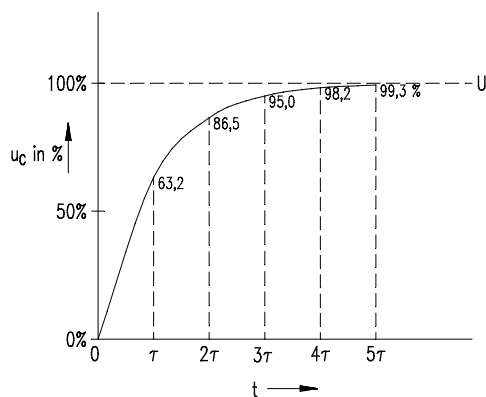
$$C \cdot U_q = I_{\max} \cdot \tau$$

$$\tau = C \cdot \frac{U_q}{I_{\max}}$$

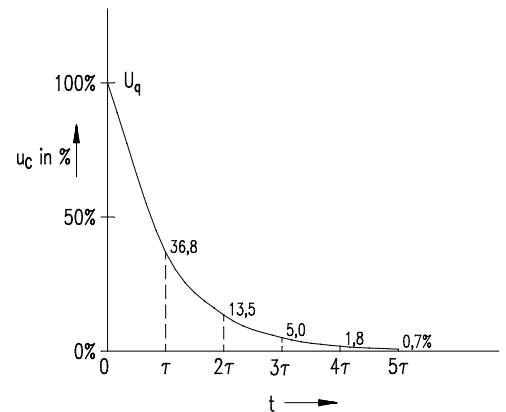
$$\tau = C \cdot R$$

$$[\tau] = s$$

Lade- und Entladevorgang



a) Ladevorgang



b) Entladevorgang

Berechnung der Augenblickswerte von Strom und Spannung zu einem beliebigen Zeitpunkt

$$I_{\max} = \frac{U_q}{R}$$

$$\text{Laden: } u_C = U_q \cdot \left(1 - e^{-\frac{t}{\tau}}\right)$$

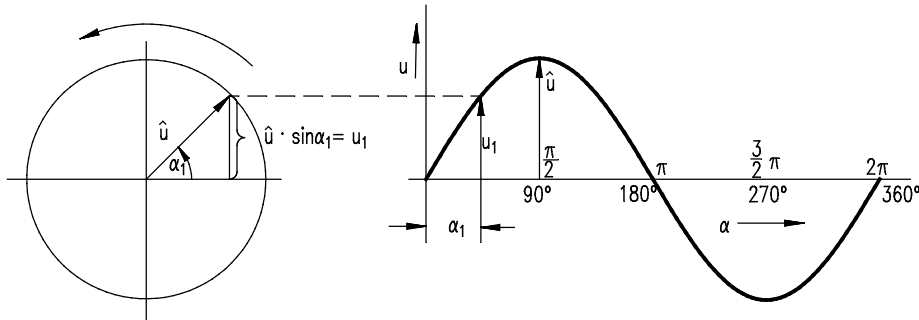
$$i_C = I_{\max} \cdot e^{-\frac{t}{\tau}}$$

$$\text{Entladen: } u_C = U_q \cdot e^{-\frac{t}{\tau}}$$

$$i_C = -I_{\max} \cdot e^{-\frac{t}{\tau}}$$

Bei $t = 5\tau$ gilt ein Kondensator praktisch als ge- bzw. entladen.

23 Grundgrößen der Wechselstromtechnik



Sinusförmige Spannung
a) Zeigerdiagramm

b) Liniendiagramm

u : Zeitwert der Spannung
 i : Zeitwert des Stroms

\hat{u} : Scheitelwert der Spannung
 \hat{i} : Scheitelwert des Stroms

Periodendauer, Frequenz, Kreisfrequenz

$$f = \frac{1}{T}$$

f : Frequenz
 T : Periodendauer
 α : vom Zeiger überstrichener Winkel
 ω : Kreisfrequenz
 t : zugehörige Zeit

$$[f] = 1 \text{ s}^{-1} = 1 \text{ Hz (Hertz)}$$

$$\omega = \frac{\alpha}{t} \quad \omega = \frac{2\pi}{T} \quad \omega = 2 \cdot \pi \cdot f$$

$$[\omega] = \text{s}^{-1}$$

Für sinusförmige Größen gilt :

$$u = \hat{u} \cdot \sin \omega \cdot t \quad \text{bzw.} \quad i = \hat{i} \cdot \sin \omega \cdot t$$

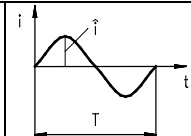
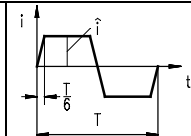
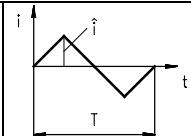
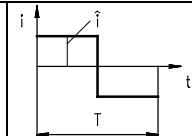
Effektivwert

$$U = \frac{\hat{u}}{\sqrt{2}} \quad \text{bzw.} \quad I = \frac{\hat{i}}{\sqrt{2}}$$

Spitze-Spitze-Wert

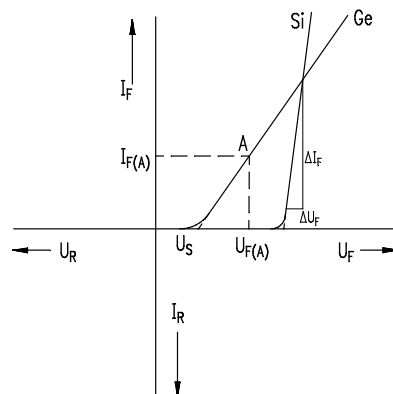
$$u_{SS} = 2 \cdot \hat{u} \quad \text{bzw.} \quad i_{SS} = 2 \cdot \hat{i}$$

Kennwerte von Wechselstromformen

Graph				
Effektivwert	$0,707 \cdot \hat{i}$	$0,746 \cdot \hat{i}$	$0,578 \cdot \hat{i}$	$1,0 \cdot \hat{i}$
Gleichrichtwert	$0,637 \cdot \hat{i}$	$0,667 \cdot \hat{i}$	$0,5 \cdot \hat{i}$	$1,0 \cdot \hat{i}$
Scheitelfaktor	$\sqrt{2} = 1,414$	1,340	$\sqrt{3} = 1,732$	1,0
Formfaktor	1,11	1,12	1,15	1,0

24 Gleichrichterdioden

Diode



U_F : Durchlassspannung
 I_F : Durchlassstrom
 U_R : Sperrspannung
 I_R : Sperrstrom
 U_S : Schleusenspannung

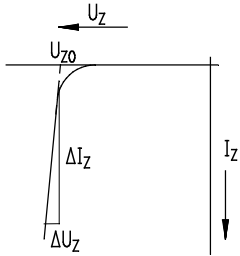
$$R_F = \frac{U_F}{I_F}$$

R_F : Gleichstromwiderstand
 r_F : Differentieller Widerstand
 P : Verlustleistung

$$r_F = \frac{\Delta U_F}{\Delta I_F}$$

$$P = U_F \cdot I_F$$

Gleichrichterschaltungen ohne Vervielfacherwirkung			
	Einwegschaltung	Zweiwegschaltung	Brückenschaltung
Prinzipschaltung			
Frequenz der Welligkeit bei f = 50 Hz	50 Hz	100 Hz	100 Hz
Bei Widerstands- und induktiver Belastung			
Verhältnis zwischen Wechsel- und Gleichspannung	$\frac{U_{eff}}{U_{gl}} = 2,22$	$\frac{U_{eff}}{U_{gl}} = 1,11$	$\frac{U_{eff}}{U_{gl}} = 1,11$
Effektivwelligkeit	$w = \frac{U_w}{U_{gl}} = 121 \%$	$w = 48,5 \%$	$w = 48,5 \%$
Verhältnis zwischen Wechsel- und Gleichstrom	$\frac{I_{eff}}{I_{gl}} = 1,57$	$\frac{I_{eff}}{I_{gl}} = 0,78$	$\frac{I_{eff}}{I_{gl}} = 1,11$
Bei kapazitiver Belastung (mit Ladekondensator)			
Verhältnis zwischen Wechsel- und Gleichspannung	$\frac{U_{eff}}{U_{gl}} = 0,85$	$\frac{U_{eff}}{U_{gl}} = 0,79$	$\frac{U_{eff}}{U_{gl}} = 0,79$
Welligkeit	$w \approx 5 \%$	$w \approx 5 \%$	$w \approx 5 \%$
Verhältnis zwischen Wechsel- und Gleichstrom	$\frac{I_{eff}}{I_{gl}} = 2,1$	$\frac{I_{eff}}{I_{gl}} = 1,1$	$\frac{I_{eff}}{I_{gl}} = 1,57$

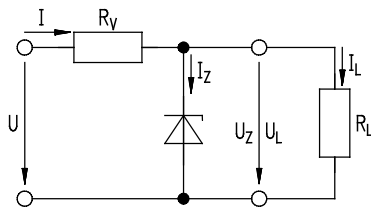
25 Spannungsstabilisierung mit Z-Dioden**Z-Diode**

U_Z : Z-Spannung
 I_Z : Z-Strom
 U_{Z0} : Durchbruchspannung

$$r_Z = \frac{\Delta U_Z}{\Delta I_Z}$$

r_Z : Differentieller Widerstand
 P : Verlustleistung

$$P = U_Z \cdot I_Z$$

Spannungsstabilisierung mit Z-Dioden

U_{\min} : Kleinste Eingangsspannung
 U_{\max} : Größte Eingangsspannung
 $I_{Z\min}$: Kleinster Z-Diodenstrom
 $I_{Z\max}$: Größter Z-Diodenstrom
 U_Z : Z-Diodenspannung
 U_L : Ausgangsspannung
 I_L : Laststrom
 P_{zul} : zulässige Leistung der Z-Diode

$$I_{Z\max} = \frac{P_{\text{zul}}}{U_Z}$$

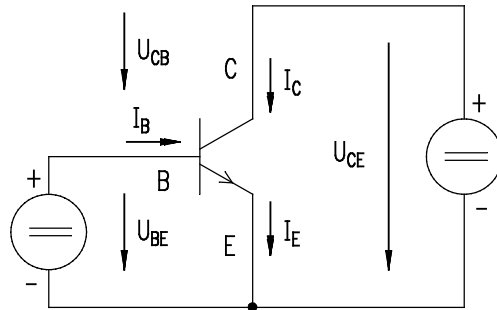
$$R_{V\min} = \frac{U_{\max} - U_Z}{I_{Z\max} + I_{L\min}}$$

$R_{V\min}$: Kleinster Vorwiderstand
 $R_{V\max}$: Größter Vorwiderstand

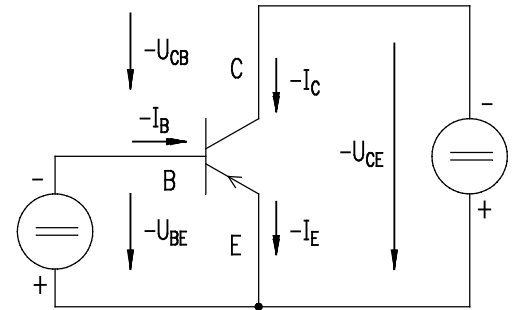
$$R_{V\max} = \frac{U_{\min} - U_Z}{I_{Z\min} + I_{L\max}}$$

26 Analoge Verstärker mit bipolaren Transistoren

Spannungen und Ströme am Transistor



Spannungen und Ströme am npn-Transistor



Spannungen und Ströme am pnp-Transistor

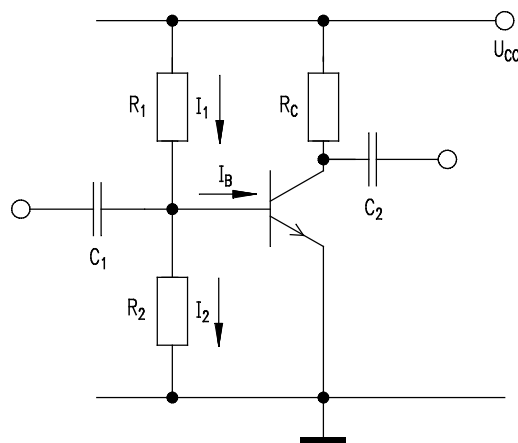
$$I_E = I_B + I_C$$

$$U_{CE} = U_{CB} + U_{BE}$$

$$\beta = \frac{I_C}{I_B}$$

$$P_V = U_{CE(A)} \cdot I_{C(A)}$$

Arbeitspunkteinstellung durch Basis-Spannungsteiler

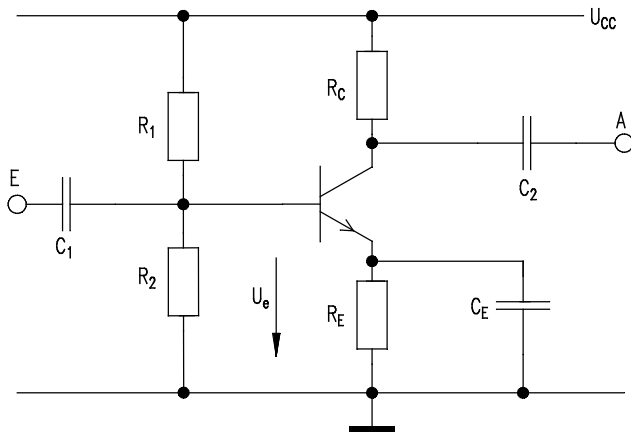


$$R_C = \frac{U_{RC}}{I_{C(A)}} = \frac{U_{CC} - U_{CE(A)}}{I_{C(A)}}$$

$$q = \frac{I_2}{I_B} = 5 \dots 10$$

$$R_2 = \frac{U_{R2}}{I_2} = \frac{U_{BE}}{q \cdot I_B}$$

$$R_1 = \frac{U_{R1}}{I_1} = \frac{U_{CC} - U_{BE}}{I_2 + I_B}$$

Arbeitspunktstabilisierung durch Strom-Gegenkopplung

$$m = \frac{R_C}{R_E} = 5..10$$

$$R_m = R_C + R_E = \frac{U_{CC} - U_{CE}}{I_C}$$

$$R_E = \frac{R_m}{m+1}$$

$$R_C = R_m - R_E$$

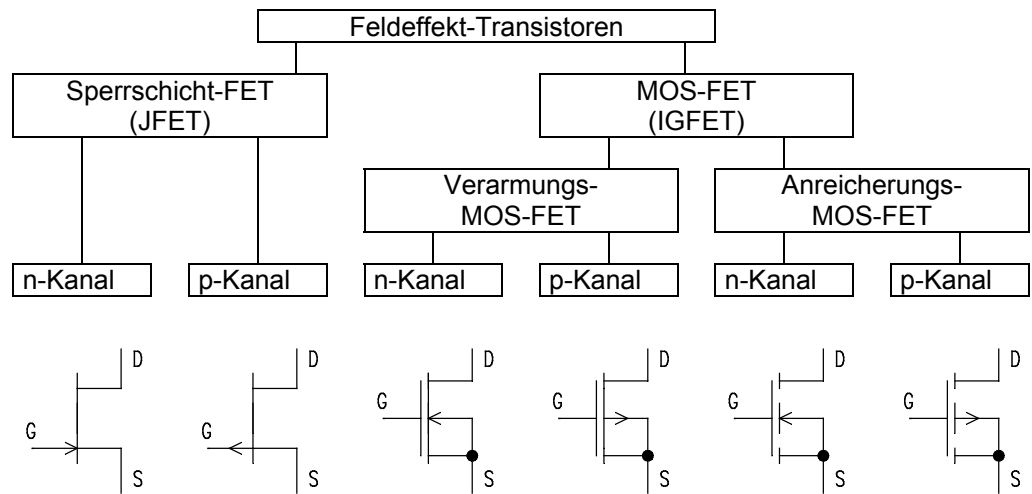
$$R_2 = \frac{U_{R2}}{I_2} = \frac{U_{BE} + U_{RE}}{q \cdot I_B}$$

$$R_1 = \frac{U_{R1}}{I_1} = \frac{U_{CC} - U_{BE} - U_{RE}}{I_2 + I_B}$$

Berechnung des Emittorkondensators

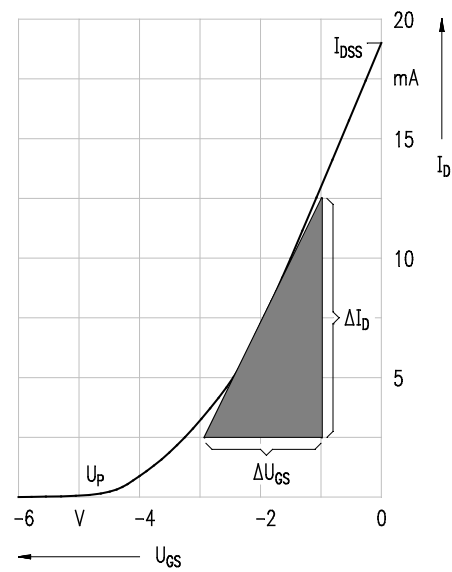
$$C_E = \frac{10}{2\pi \cdot f_u \cdot R_E}$$

27 Analoge Verstärker mit Feldeffekttransistoren



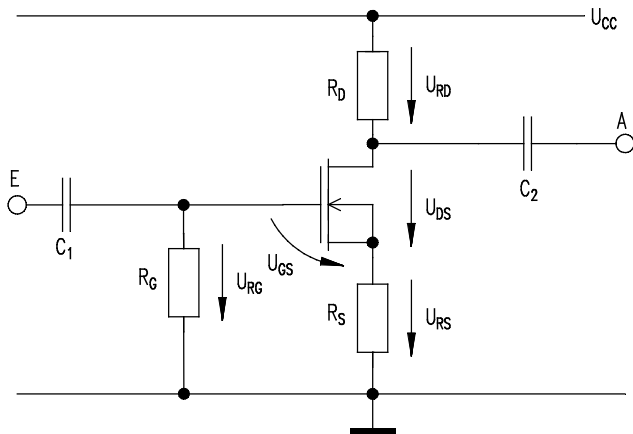
Übersicht Feldeffekttransistoren

Steilheit S



Steuerkennlinie eines n-Kanal-Sperrschicht-FET

$$S = \frac{\Delta I_D}{\Delta U_{GS}}$$

Arbeitspunkteinstellung beim selbstleitenden FET

$$R_S = \frac{U_{RS}}{I_D} = \frac{-U_{GS}}{I_D}$$

$$U_{CC} = I_D \cdot R_D + U_{DS} + U_{RS}$$

$$R_D = \frac{U_{CC} - U_{DS} - U_{RS}}{I_D}$$

$$V_U = \frac{\hat{u}_{DS}}{\hat{u}_{GS}} \approx S \cdot R_D$$

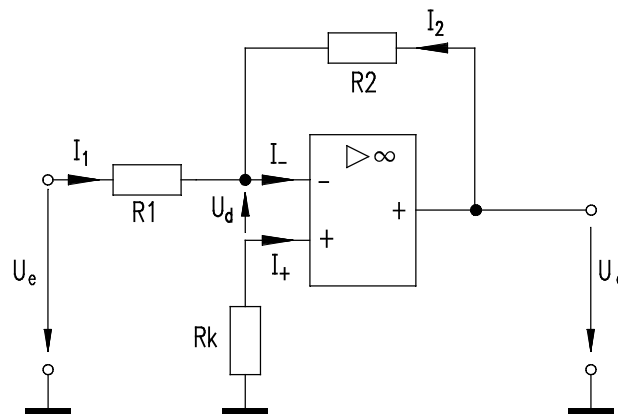
V_U : Spannungsverstärkung
 u_{DS} : Ausgangsspannung
 u_{GS} : Eingangsspannung
 S : Steilheit
 R_D : Arbeitswiderstand

28 Operationsverstärker

Kenngrößen des Operationsverstärkers

	Idealer OP	μA 741	CA 3140	OP 27	LT 1037
Spannungsverstärkung (voltage gain) V_0	∞	200 000	100 000	18 000 000	20 000 000
Eingangswiderstand (input resistance) R_e	∞	2 MΩ	1,5 TΩ	3 GΩ	5 GΩ
Ausgangswiderstand (output resistance) R_a	0	75 Ω	60 Ω	70 Ω	70 Ω
Ausgangsstrom (output current) I_a	\gg	20 mA	40 mA	20 mA	25 mA
Eingangs-Ausgleichsspannung (offset voltage) U_{OS}	0	1 mV	5 mV	10 μV	10 μV
Eingangsruhestrom (bias current) I_b	0	80 nA	10 nA	10 nA	10 nA
Eingangsausgleichsstrom (offset current) I_{OS}	0	20 nA	0,5 pA	7 nA	7 nA
Gleichtaktunterdrückung (CMRR) k_{cr}	∞	90 dB	90 dB	126 dB	130 dB
Verstärkung-Bandbreiteprodukt (gain-bandwidth prod.) $f_0 \cdot V_0$	\gg	1 MHz	4,5 MHz	8 MHz	60 MHz
Änderungs-Geschwindigkeit (slew rate) SR	\gg	0,5 V/μs	9 V/μs	2,8 V/μs	15 V/μs
Bemerkung	-	Standard Anwendung	MOSFET Eingänge	Präzisions-OP	High Speed OP

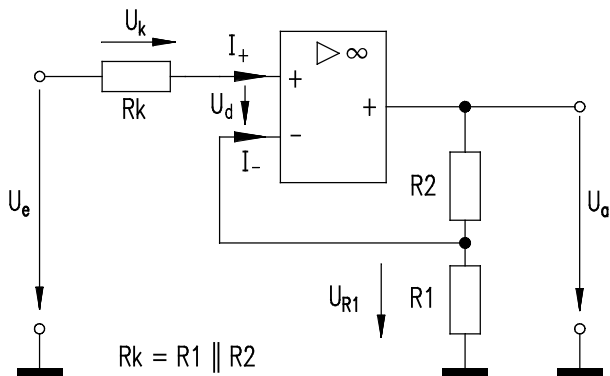
Invertierender Verstärker



$$V = \frac{U_a}{U_e} = -\frac{R_2}{R_1}$$

$$r_{\text{ein}} = R_1 + \frac{R_2}{V_0}$$

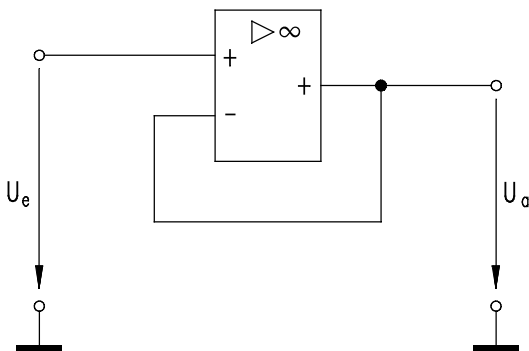
$$r_{\text{aus}} = R_a \cdot \frac{1 + \frac{R_2}{R_1}}{V_0}$$

Nichtinvertierender Verstärker

$$V = \frac{U_a}{U_e} = 1 + \frac{R_2}{R_1}$$

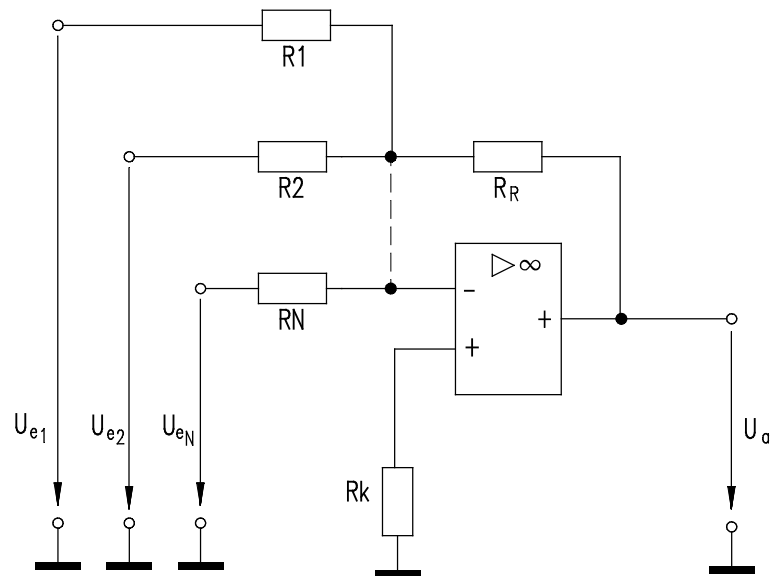
$$r_{\text{ein}} = \frac{V_0 \cdot R_e}{1 + \frac{R_2}{R_1}} = \frac{V_0}{V} \cdot R_e$$

$$r_{\text{aus}} = R_a \cdot \frac{V}{V_0}$$

Impedanzwandler

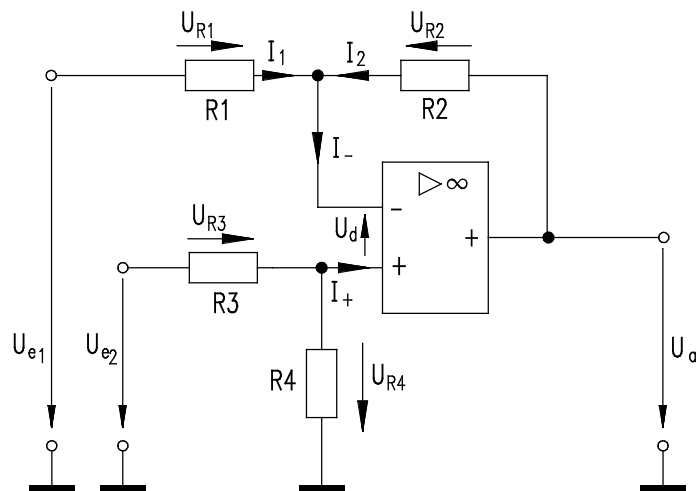
$$U_a = U_e$$

Addierer



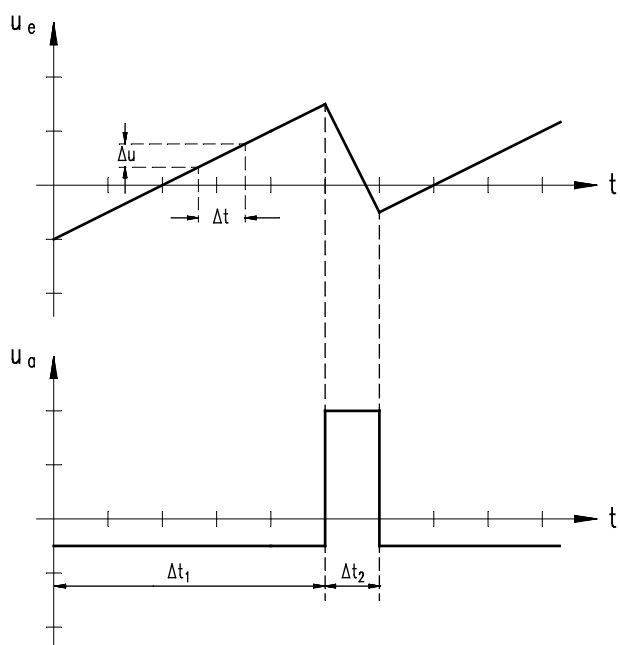
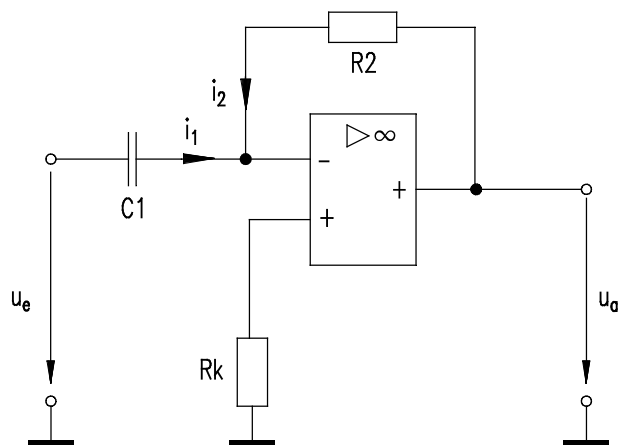
$$U_a = - \left(\frac{R_R}{R_1} \cdot U_{e1} + \frac{R_R}{R_2} \cdot U_{e2} + \dots + \frac{R_R}{R_N} \cdot U_{eN} \right)$$

Subtrahierer



$$U_a = \left(1 + \frac{R_2}{R_1} \right) \cdot \left(\frac{R_4}{R_3 + R_4} \right) \cdot U_{e2} - \frac{R_2}{R_1} \cdot U_{e1}$$

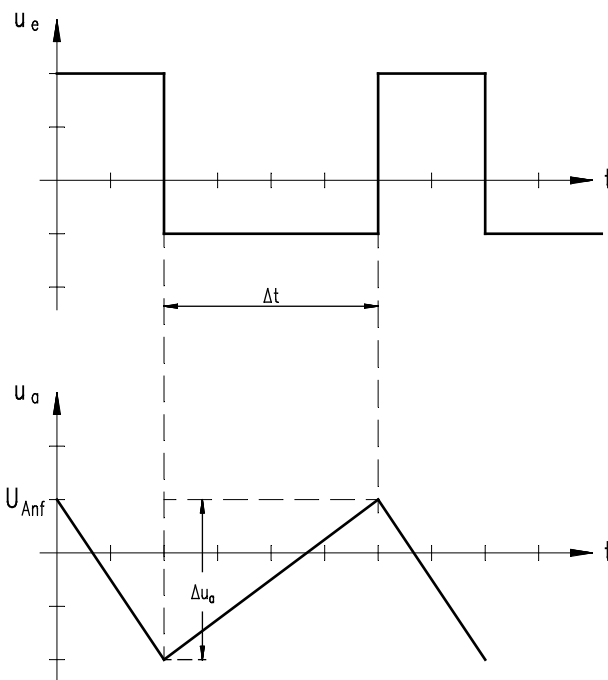
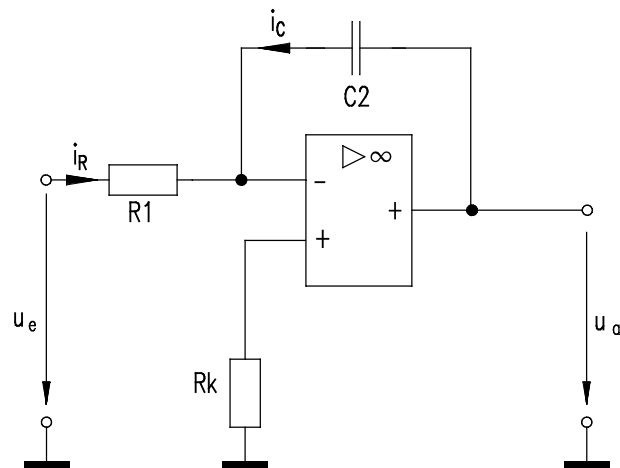
$$U_a = \frac{R_2}{R_1} \cdot (U_{e2} - U_{e1}) \quad (\text{Spezieller Fall: } R_1 = R_3 \text{ u. } R_2 = R_4)$$

Differenzierer

Ein- und Ausgangsspannung eines Differenzierers

$$u_{\text{aus}} = -C_1 \cdot R_2 \cdot \frac{\Delta u_e}{\Delta t}$$

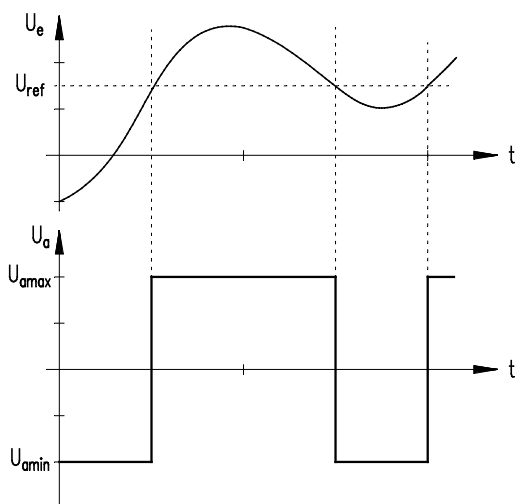
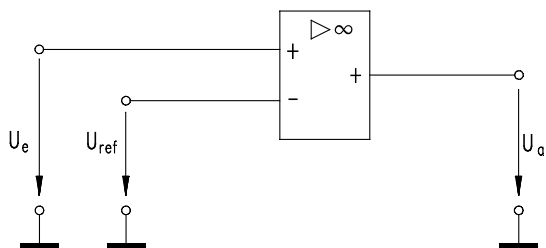
Integrator



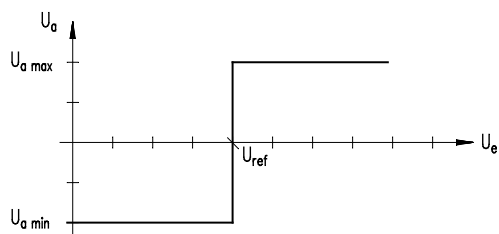
Ein- und Ausgangsspannung eines Integrators

$$\Delta u_{\text{aus}} = -\frac{1}{R_1 \cdot C_2} \cdot u_e \cdot \Delta t$$

$$u_{\text{aus}} = \Delta u_{\text{aus}} + U_{\text{Anf}}$$

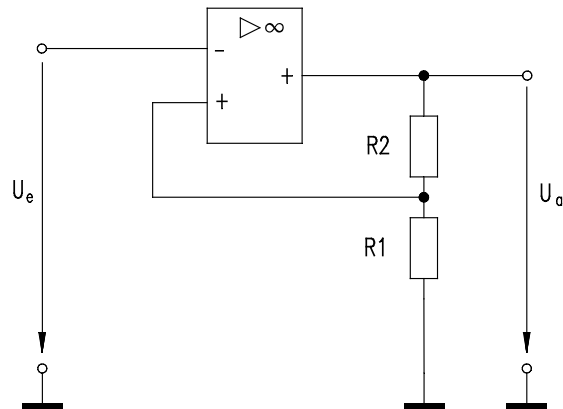
Nichtinvertierender Komparator

Ausgangsverhalten des nichtinvertierenden Komparators

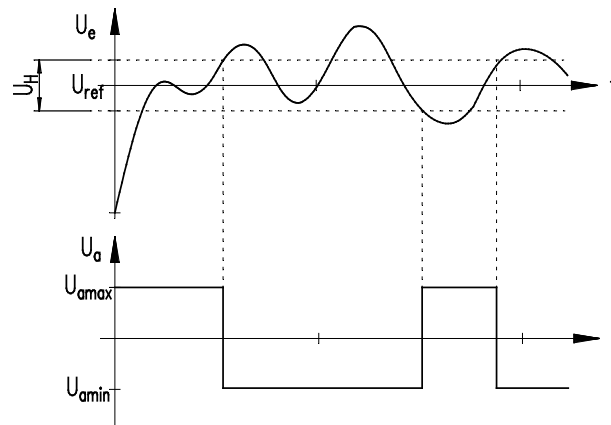


Steuerkennlinie des nichtinvertierenden Komparators

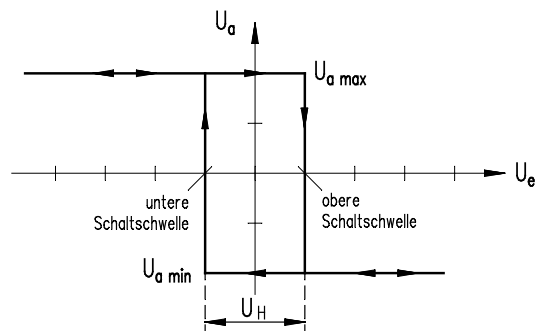
Invertierender Komparator mit Hysterese



Invertierender Komparator mit Hysterese



Schaltverhalten des invertierenden Komparators mit Hysterese



Steuerkennlinie des invertierenden Komparators mit Hysterese

$$U_{so} = U_{amax} \cdot \frac{R_1}{R_1 + R_2}$$

$$U_{su} = U_{amin} \cdot \frac{R_1}{R_1 + R_2}$$

$$U_H = U_{so} - U_{su} = (U_{amax} - U_{amin}) \cdot \frac{R_1}{R_1 + R_2}$$

29 Gesetze und Regeln der Schaltungsalgebra

Grundverknüpfungen und Symbole

Konjunktion $\hat{=}$ UND : $a \wedge b \hat{=} a \cdot b \hat{=} ab$

Disjunktion $\hat{=}$ ODER : $a \vee b \hat{=} a + b$

Negation $\hat{=}$ NICHT : \bar{a}

Vorrangigkeit und Verknüpfungen

UND vor ODER

Vereinfachungsregeln

Tautologie

$$a \wedge a = a \quad a \vee a = a$$

Verknüpfungen der Konstanten 0 und 1

$$a \wedge 1 = a \quad a \vee 0 = a$$

$$a \wedge 0 = 0 \quad a \vee 1 = 1$$

Verknüpfung einer Variablen mit ihrer negierten Form

$$a \wedge \bar{a} = 0 \quad a \vee \bar{a} = 1$$

Doppelnegation

$$\overline{\bar{a}} = a$$

Distributives Gesetz

$$a(b \vee c) = ab \vee ac \quad a \vee bc = (a \vee b)(a \vee c)$$

Theoreme nach De Morgan (Inversionsgesetze)

a) für 2 Variablen

$$\overline{a \wedge b} = \bar{a} \vee \bar{b} \quad \overline{a \vee b} = \bar{a} \wedge \bar{b}$$

Weitere nützliche Formen:

$$\overline{\overline{a \wedge b}} = \overline{\bar{a} \vee \bar{b}} \quad \overline{\overline{a \vee b}} = \overline{\bar{a} \wedge \bar{b}}$$

b) für mehrere Variablen

$$\overline{a \wedge b \wedge c \wedge \dots} = \bar{a} \vee \bar{b} \vee \bar{c} \vee \dots$$

$$\overline{a \vee b \vee c \vee \dots} = \bar{a} \wedge \bar{b} \wedge \bar{c} \wedge \dots$$

Theorem nach Shannon

$$\overline{f(a, b, c, \dots \wedge \vee)} = f(\bar{a}, \bar{b}, \bar{c}, \dots \vee \wedge)$$

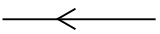
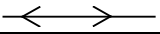







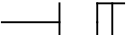

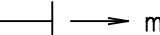
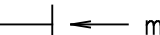
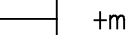
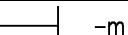

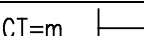
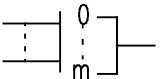









Eine durchgehend negierte Schaltfunktion mit beliebiger gemischter Verknüpfung kann aufgetrennt werden unter Änderung der Verknüpfungsart, wobei jedoch die ursprüngliche Rangfolge der Verknüpfungen beibehalten werden muss.

Abgeleitete Vereinfachungsregeln

$$a \vee ab = a \quad a(a \vee b) = a$$

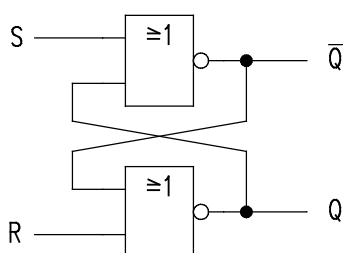
$$a \vee \bar{a}b = a \vee b \quad a(\bar{a} \vee b) = ab$$

30 Kennzeichen am Ein-/Ausgang binärer Elemente

Symbol	Beschreibung
	Signalrichtung von rechts nach links
	Bidirektionaler Signalfluss
	Logische Negation am Eingang (extern 0 erzeugt intern 1)
	Logische Negation am Ausgang (intern 1 erzeugt extern 0)
	Logik-Polarität am Eingang (extern L erzeugt intern 1)
	Logik-Polarität am Ausgang (intern 0 erzeugt extern H)
	Dynamischer Eingang: Der externe Übergang von 0 nach 1 erzeugt intern den (flüchtigen) 1-Zustand. Bei Verwendung der Logikpolarität wird beim externen Übergang von L- nach H-Pegel der (flüchtige) 1-Zustand intern erzielt.
	Dynamischer Eingang: Der externe Übergang von 1 nach 0 erzeugt intern den (flüchtigen) 1-Zustand.
	Dynamischer Eingang: Der externe Übergang von H- nach L-Pegel bewirkt intern den (flüchtigen) 1-Zustand.
	Eingang mit zwei Schwellwerten. Schmitttrigger-Eingang
	Freigabe-Eingang: EN = 1 → Ausgang aktiv. EN = 0 → deaktiv (3-State-Ausgang ist hochohmig, der Transistor des offenen Ausganges gesperrt, 0-Zustand an anderen Ausgängen).
	Schiebeeingang, vorwärts (links nach rechts oder oben nach unten). 1-Zustand: Registerinhalt wird um m Stellen vorwärts geschoben.
	Schiebeeingang rückwärts (rechts nach links oder unten nach oben). 1-Zustand: Registerinhalt wird um m Stellen rückwärts geschoben.
	Zähleingang, vorwärts: Für „1“ wird der Zählerinhalt um m erhöht.
	Zähleingang, rückwärts: Für „1“ wird der Inhalt um m erniedrigt.
	Inhaltsetzender Eingang: Für „1“ wird der Inhalt auf m gesetzt.
	Der Ausgang wird durch angegebenen Wert aktiviert.
	Binäre Signalgruppe, m = höchste Zweierwertigkeit
	Kein Logikeingang
	Analogeingang
	Retardierter Ausgang: Der Ausgang ändert erst seinen Logik-Zustand, wenn der verursachende Eingang seinen ursprünglichen Zustand wieder erreicht hat.
	Offener Ausgang (L-Typ), z.B. offener Kollektor eines npn-Transistors.
	Tri-State-Ausgang: Im 3. Zustand ist der Ausgang hochohmig.
	Ausgang mit erhöhter Treiberleistung
	Interne Verbindung (1 links bewirkt 1 rechts)
	Negierte interne Verbindung (1 links bewirkt 0 rechts)
	Dynamische interne Verbindung (auch negiert möglich)

31 Schaltungen mit Speicherverhalten

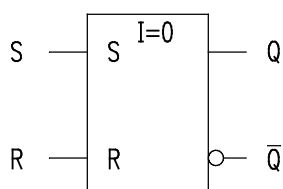
RS-FF



ausführliche Schaltung

S	R	Q_{n+1}	
0	0	Q_n	Vorherzustand bleibt erhalten (speichern)
0	1	0	Rücksetzen
1	0	1	Setzen
1	1	-	verbotener Fall

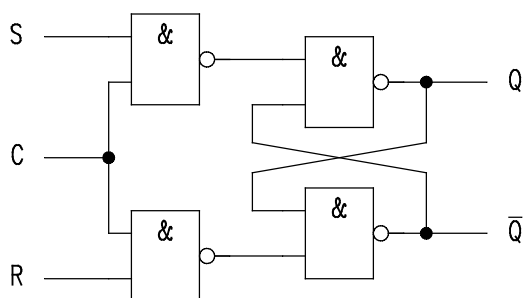
RS-FF mit Grundstellung



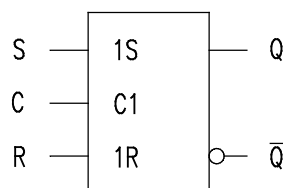
Nach dem Einschalten der Versorgungsspannung hat der Ausgang Q log „0“-Zustand

Schaltsymbol

Zustandsgesteuertes RS-FF

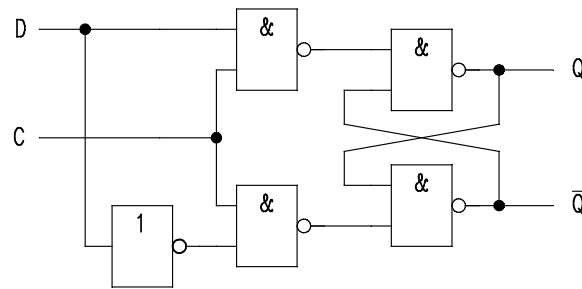


ausführliche Schaltung

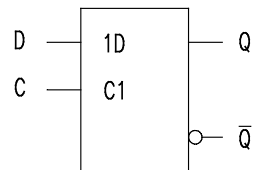


Schaltsymbol

Zustandsgesteuertes D-FF



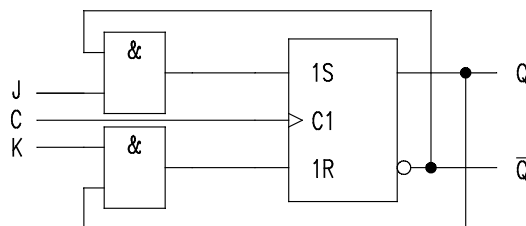
ausführliche Schaltung



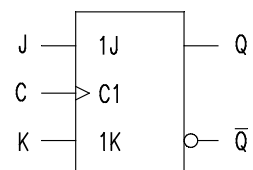
Schaltsymbol

C	D	Q_{n+1}	
0	0	Q_n	Vorherzustand bleibt erhalten
0	1	Q_n	Vorherzustand bleibt erhalten
1	0	0	Rücksetzen
1	1	1	Setzen

Flankengesteuertes JK-FF



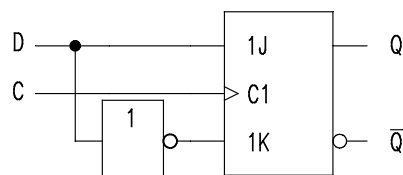
ausführliche Schaltung



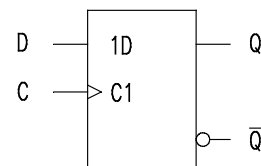
Schaltsymbol

J	K	Q_{n+1}	
0	0	Q_n	Vorherzustand bleibt erhalten (speichern)
0	1	0	Rücksetzen
1	0	1	Setzen
1	1	\bar{Q}_n	Vorherzustand invertieren

Flankengesteuertes D-FF



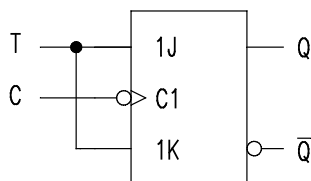
Prinzipschaltung



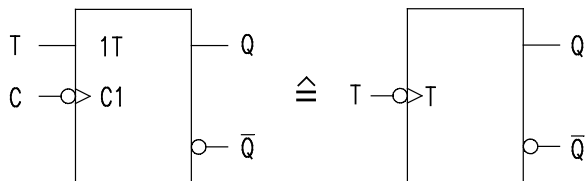
Schaltsymbol

C	D	Q_{n+1}
↑	1	1
↑	0	0

Flankengesteuertes T-FF




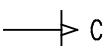
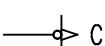
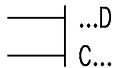
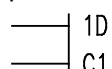
Prinzipisaltung



Schaltsymbole

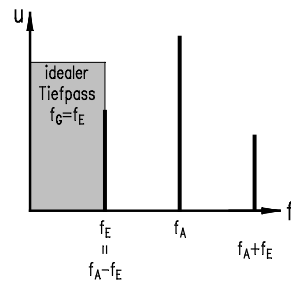
C	T	Q_{n+1}
↓	1	\bar{Q}_n
↓	0	Q_n

Kennzeichnung von Zustands- bzw. Flankensteuerung

Symbol	Beschreibung
	Zustandssteuerung: Die Eingänge, die von C abhängen, werden bei C = 1 wirksam.
	Flankensteuerung: Die Eingänge, die von C abhängen, werden nur beim 0→1-Übergang von C wirksam.
	Flankensteuerung: Die Eingänge, die von C abhängen, werden nur beim 1→0-Übergang von C wirksam.
	C ist ein steuernder Eingang, D ist ein gesteuerter Eingang. Der D-Eingang ist also dem C-Eingang untergeordnet. An der punktierten Stelle ist die Zählnummer des steuernden Eingangs zu setzen.
Beispiel: 	Im Beispiel: Der steuernde Eingang C1 steuert den mit 1 gekennzeichneten gesteuerten Eingang 1D.

32 Abtasttheorem nach Shannon

Frequenzspektrum bei $f_A = 2 \cdot f_E$

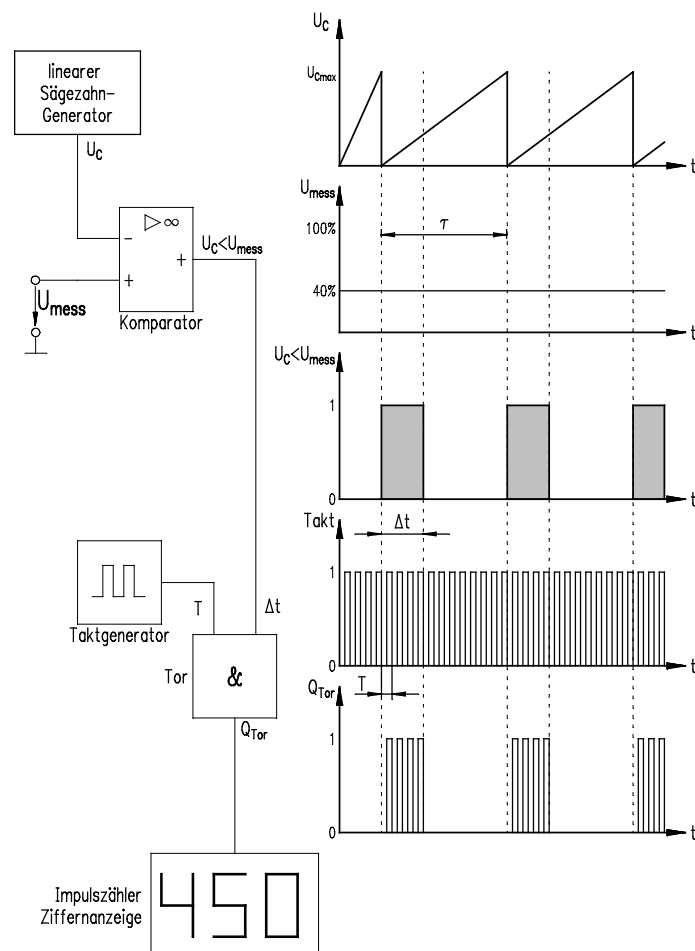


$$f_A \geq 2 \cdot f_E$$

f_E : maximale Nachrichtenfrequenz
 f_A : Abtastfrequenz

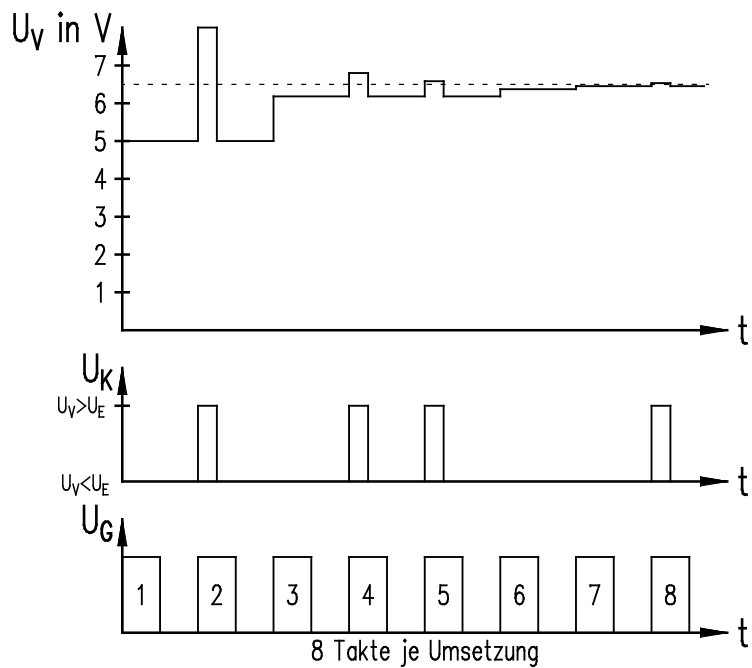
33 Analog-Digital-Umsetzung

Ein-Rampenverfahren (Zählverfahren)



Schritte: $2^N - 1$ N -Anzahl der Bits

Sukzessive Approximation



Takt	1	2	3	4	5	6	7	8
D ₇	1	1	1	1	1	1	1	1
D ₆	0	0	0	0	0	0	0	0
D ₅	0	0	1	1	1	1	1	1
D ₄	0	0	0	0	0	0	0	0
D ₃	0	0	0	0	0	0	0	0
D ₂	0	0	0	0	0	1	1	1
D ₁	0	0	0	0	0	0	1	1
D ₀	0	0	0	0	0	0	0	0

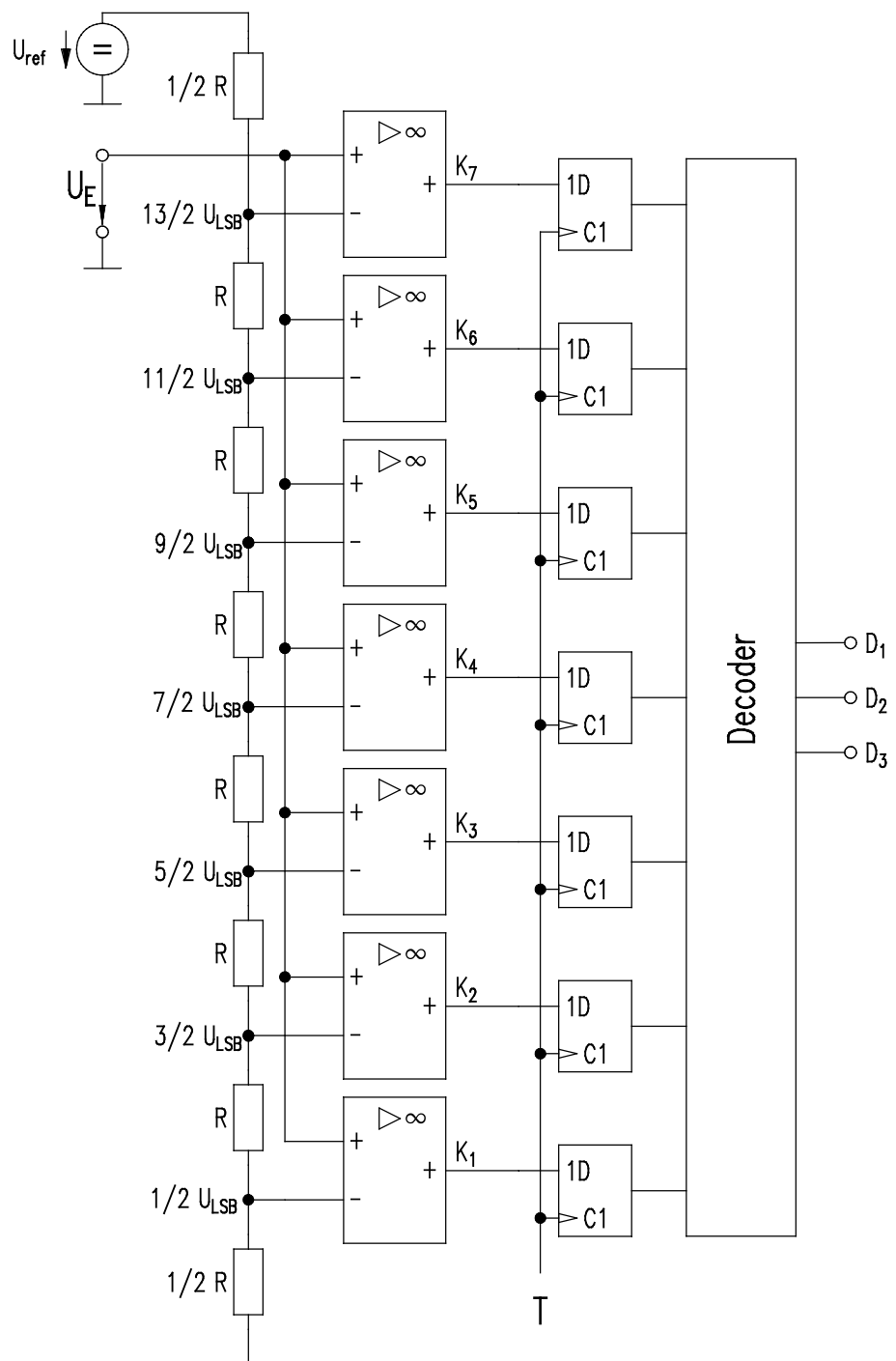
=D_A

Digitalausgang

Schritte: N N-Anzahl der Bits

Quantisierungsfehler: $E_{qmax} = -1 \text{ Digit} = -1 \text{ LSB}$

Flash-Wandler



Schritte: 1

34 Fehlerarten**Absolute Messabweichung**

$$E = M - X_w$$

E : Absolute Messabweichung

M : Messwert

X_w : Wahrer Wert

Relative Messabweichung

$$e_r = \frac{M - X_w}{X_w} = \frac{E}{X_w}$$

$$e_{r\%} = e_r \cdot 100 \%$$

e_r : Relative Messabweichung

$e_{r\%}$: Relative Messabweichung in %

näherungsweise gilt mit $M - X_w \ll M$

$$e_r \approx \frac{M - X_w}{M} = \frac{E}{M}$$

Relative Anzeigeabweichung eines Messgerätes

$$E_A = \frac{M - X_w}{X_E} = \frac{E}{X_E}$$

$$E_{A\%} = E_A \cdot 100 \%$$

E_A : Relative Anzeigeabweichung eines Messgerätes

$E_{A\%}$: Relative Anzeigeabweichung eines Messgerätes in %

X_E : Messbereichsendwert

35 Auswerten einer Messreihe

arithmetischer Mittelwert \bar{X}

$$\bar{X} = \frac{X_1 + X_2 + X_3 + X_4 + \dots + X_n}{n}$$

Standardabweichung s

$$s = \sqrt{\frac{(X_1 - \bar{X})^2 + (X_2 - \bar{X})^2 + \dots + (X_n - \bar{X})^2}{n - 1}}$$

Streuung σ (für n sehr groß)

$$\sigma = \sqrt{\frac{(X_1 - \bar{X})^2 + (X_2 - \bar{X})^2 + \dots + (X_n - \bar{X})^2}{n}}$$

Vertrauensniveau $1 - \alpha$ bei verschiedenen Bereichen $\Delta X = X - \bar{X}$

$\Delta X = X - \bar{X}$	Vertrauensniveau in %	$\Delta X = X - \bar{X}$	Vertrauensniveau in %	$\Delta X = X - \bar{X}$	Vertrauensniveau in %
0	0	$\pm 1,0 \cdot \sigma$	68,3	$\pm 2,0 \cdot \sigma$	95,5
$\pm 0,1 \cdot \sigma$	7,97	$\pm 1,1 \cdot \sigma$	72,9	$\pm 2,1 \cdot \sigma$	96,4
$\pm 0,2 \cdot \sigma$	15,9	$\pm 1,2 \cdot \sigma$	77	$\pm 2,2 \cdot \sigma$	97,2
$\pm 0,3 \cdot \sigma$	23,6	$\pm 1,3 \cdot \sigma$	80,6	$\pm 2,3 \cdot \sigma$	97,9
$\pm 0,4 \cdot \sigma$	31,1	$\pm 1,4 \cdot \sigma$	83,8	$\pm 2,4 \cdot \sigma$	98,4
$\pm 0,5 \cdot \sigma$	38,3	$\pm 1,5 \cdot \sigma$	86,6	$\pm 2,5 \cdot \sigma$	98,8
$\pm 0,6 \cdot \sigma$	45,1	$\pm 1,6 \cdot \sigma$	89	$\pm 2,6 \cdot \sigma$	99,1
$\pm 0,7 \cdot \sigma$	51,6	$\pm 1,7 \cdot \sigma$	91,1	$\pm 2,7 \cdot \sigma$	99,3
$\pm 0,8 \cdot \sigma$	57,6	$\pm 1,8 \cdot \sigma$	92,8	$\pm 2,8 \cdot \sigma$	99,5
$\pm 0,9 \cdot \sigma$	63,2	$\pm 1,9 \cdot \sigma$	94,3	$\pm 2,9 \cdot \sigma$	99,6
				$\pm 3 \cdot \sigma$	99,7

Bei Stichproben wird anstelle der Streuung σ die Standardabweichung s verwendet.

36 Fehlergrenzen von Messgeräten

Garantiemessabweichung in %

$$E_{A\%} = \frac{E}{X_E} \cdot 100\%$$

absolute Messabweichung innerhalb des Messbereiches

$$E_A = \frac{E_{A\%}}{100\%} \cdot X_E$$

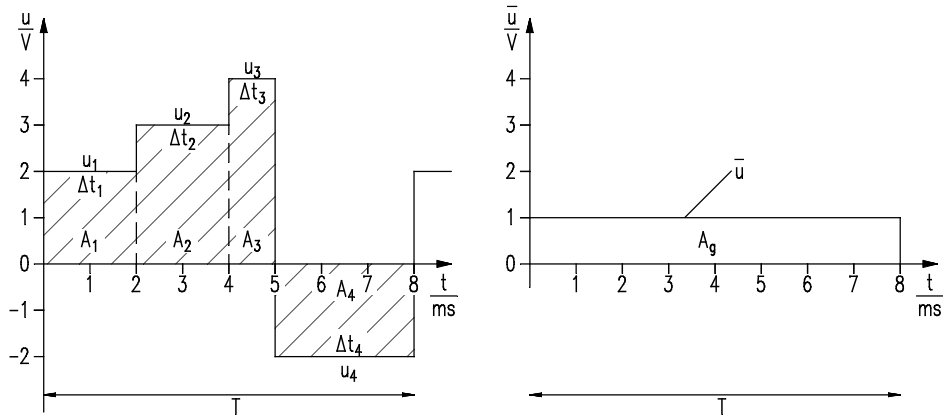
Messabweichung eines Digitalmessgerätes

$$E_{\max} = \pm(0,1\% \text{ v.A.} + 0,1\% \text{ v.E.} + 1 \text{ Digit})$$

v.A. : von der Ablesung (Messwert M)

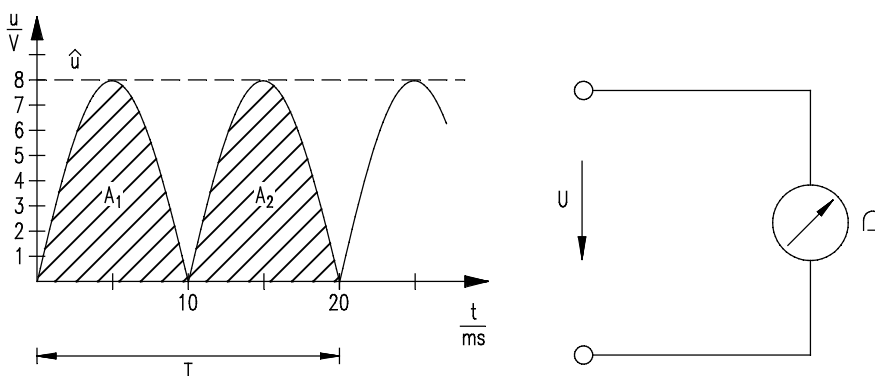
v.E. : vom Messbereichsendwert

1 Digit : Quantisierungsabweichung als Abweichung der letzten Stelle

37 Messung des arithmetischen Mittelwertes**Bestimmung des arithmetischen Mittelwertes**

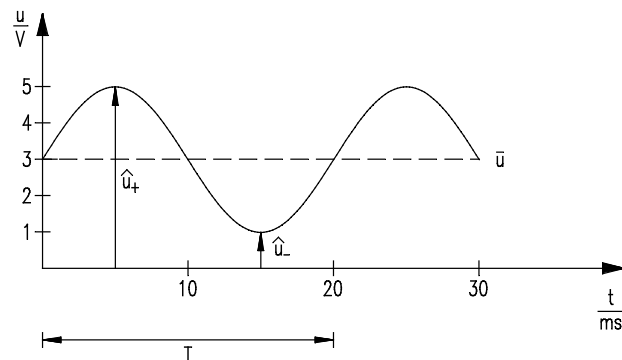
$$\bar{u} = \frac{A_1 + \dots + A_n}{T} = \frac{u_1 \cdot \Delta t_1 + \dots + u_n \cdot \Delta t_n}{T}$$

$$\bar{i} = \frac{A_1 + \dots + A_n}{T} = \frac{i_1 \cdot \Delta t_1 + \dots + i_n \cdot \Delta t_n}{T}$$

Fläche einer sinusförmigen Halbwelle

$$A_1 = \frac{\hat{u}}{\pi} \cdot T$$

Arithmetischer Mittelwert einer Mischspannung oder eines Mischstromes mit einem symmetrischen Wechselspannungsverlauf oder Wechselstromverlauf

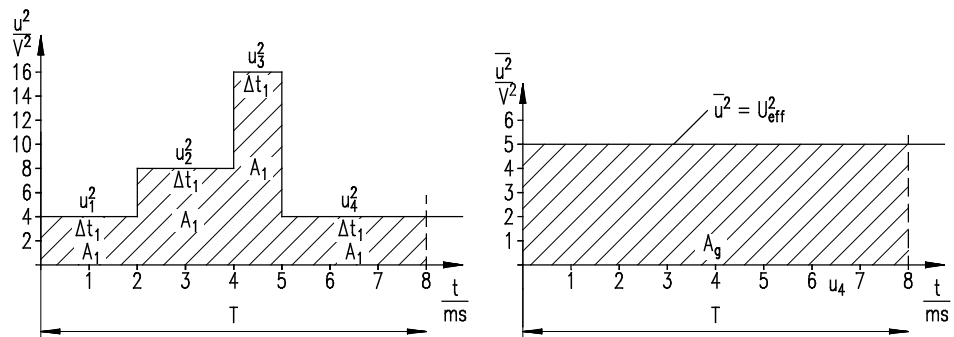


$$\bar{u} = \frac{\hat{u}_+ + \hat{u}_-}{2}$$

$$\bar{i} = \frac{\hat{i}_+ + \hat{i}_-}{2}$$

38 Messung des Effektivwertes

Quadratischer Mittelwert

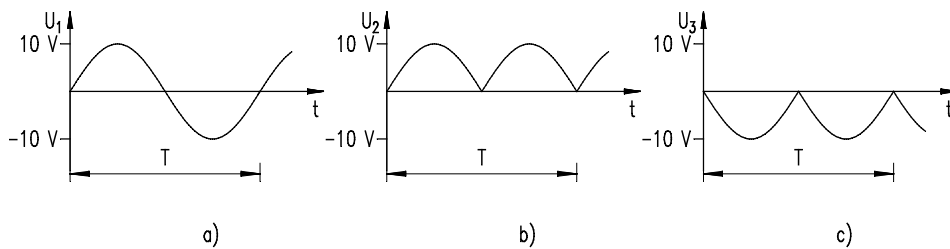


$$U = U_{\text{eff}} = \sqrt{\overline{u^2}} = \sqrt{\frac{A_1 + \dots + A_n}{T}} = \sqrt{\frac{u_1^2 \cdot \Delta t_1 + \dots + u_n^2 \cdot \Delta t_n}{T}}$$

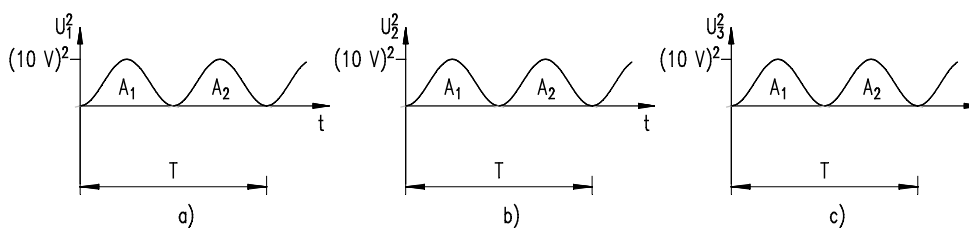
$$I = I_{\text{eff}} = \sqrt{\overline{i^2}} = \sqrt{\frac{A_1 + \dots + A_n}{T}} = \sqrt{\frac{i_1^2 \cdot \Delta t_1 + \dots + i_n^2 \cdot \Delta t_n}{T}}$$

Fläche einer quadrierten sinusförmigen Halbwelle

Spannungsverläufe



Quadrierte Spannungsverläufe



$$A_1 = A_2 = \frac{\hat{u}^2}{4} \cdot T$$

Übersicht über die Formfaktoren verschiedener Messschaltungen zur Messung sinusförmiger Wechselspannungen durch Messgeräte mit Gleichrichter

Mittelwertgleichrichter $U_{\text{eff}} = F \cdot u $	
Schaltung	Formfaktor F
Brückengleichrichtung	1,11
Mittelpunkt-gleichrichtung	1,11
Einweggleichrichtung	2,22
Brückengleichrichtung mit Stromquelle	1,11
Einweggleichrichtung mit OP	2,22
Brückengleichrichtung mit OP	1,11

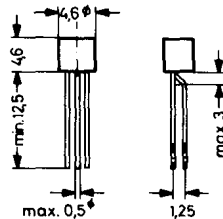
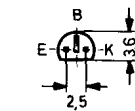
Transistoren

39 Datenblätter

BC 107..., BC 171..., BC 190, BC 237...

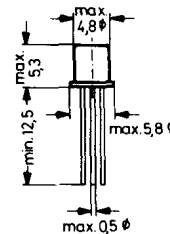
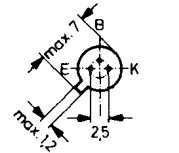
NPN-Silizium-Epitaxie-Planar-Transistoren für Schalter- und Verstärkeranwendungen

Die Transistoren werden nach der Stromverstärkung in die drei Gruppen A, B und C eingeteilt. Die Typen BC 107, BC 190, BC 171, BC 174 und BC 237 sind in den Gruppen A und B, die Typen BC 108, BC 172 und BC 238 in den Gruppen A, B und C und die Typen BC 109, BC 173 und BC 239 in den Gruppen B und C lieferbar. BC 109, BC 173 und BC 239 sind rauscharm.



**BC 171, BC 172, BC 173, BC 174
BC 237, BC 238, BC 239**

Kunststoffgehäuse \approx JEDEC TO-92
kompatibel mit TO-18
Gewicht ca. 0,18 g
Gehäuse ist lichtundurchlässig.
Maße in mm



BC 107, BC 108, BC 109, BC 190

Metallgehäuse JEDEC TO-18
18 A 3 nach DIN 41 876
Gewicht ca. 0,35 g
Kollektor mit Gehäuse verbunden
Maße in mm

Grenzwerte

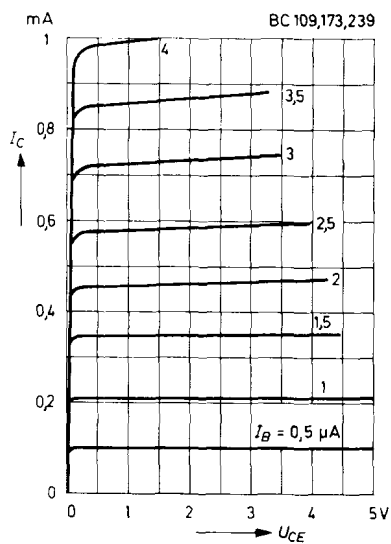
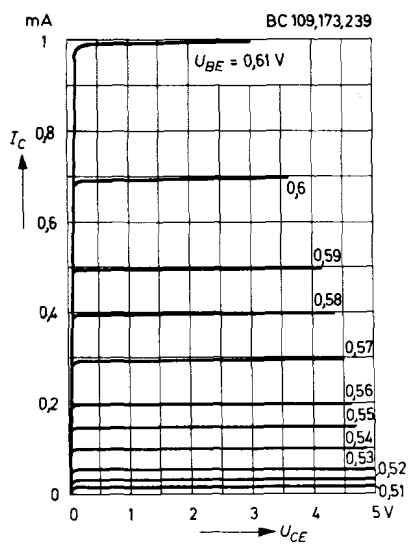
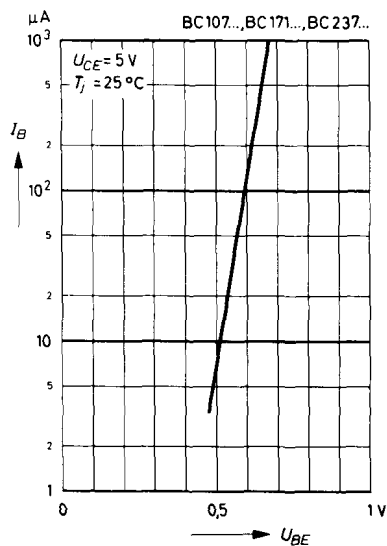
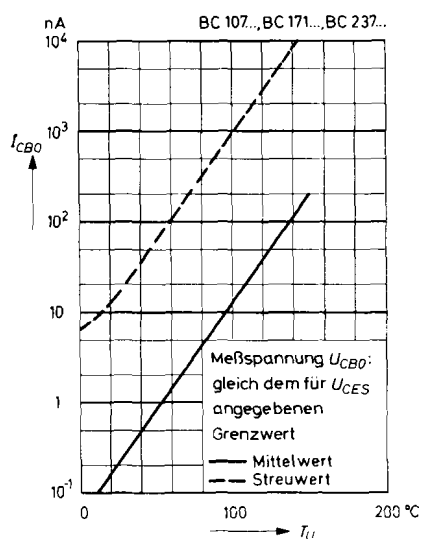
Kollektor-Emitter-Spannung	U_{CES}	50	30	70	V
Kollektor-Emitter-Spannung	U_{CE0}	45	25	64	V
Emitter-Basis-Spannung	U_{EB0}	6	5	5	V
Kollektorstrom	I_C	100	100	100	mA
Kollektor-Spitzenstrom	I_{CM}	200	200	200	mA
Basisstrom	I_B	50	50	50	mA

BC 107	BC 108	BC 190
BC 171	BC 109	BC 174
BC 237	BC 172	
	BC 173	
	BC 238	
	BC 239	

		TO-92	TO-18	
Verlustleistung bei $T_U = 25^\circ\text{C}$	P_{tot}	300 ¹	300	mW
Sperrschichttemperatur	T_i	150	175	$^\circ\text{C}$
Lagerungstemperaturbereich	T_s	- 55 ... + 150	- 55 ... + 175	$^\circ\text{C}$

¹ Dieser Wert gilt, wenn die Anschlußdrähte in 2 mm Abstand vom Gehäuse auf Umgebungstemperatur gehalten werden.

BC 107..., BC 171..., BC 190, BC 237...

Ausgangskennlinien
EmitterschaltungAusgangskennlinien
EmitterschaltungEingangskennlinie
EmitterschaltungKollektorreststrom
in Abhängigkeit von der
Umgebungstemperatur

OP-Verstärker

**LINEAR
INTEGRATED
CIRCUITS**

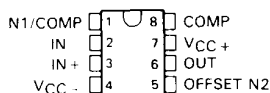
**TYPES TL080 THRU TL085, TL080A THRU TL084A
TL081B, TL082B, TL084B
JFET-INPUT OPERATIONAL AMPLIFIERS**

D2297, FEBRUARY 1977—REVISED SEPTEMBER 1983

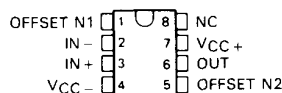
24 DEVICES COVER MILITARY, INDUSTRIAL AND COMMERCIAL TEMPERATURE RANGES

- Low-Power Consumption
- Wide Common-Mode and Differential Voltage Ranges
- Low Input Bias and Offset Currents
- Output Short-Circuit Protection
- Low Total Harmonic Distortion . . . 0.003% TYP
- High Input Impedance . . . JFET-Input Stage
- Internal Frequency Compensation (Except TL080, TL080A)
- Latch-Up-Free Operation
- High Slew Rate . . . 13 V/μs Typ
- Common mode input voltage range includes V_{CC}+

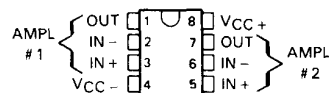
TL080, TL080A
JG OR P DUAL-IN-LINE PACKAGE
(TOP VIEW)



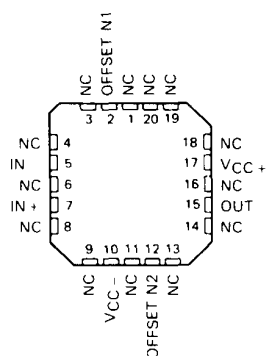
TL081, TL081A, TL081B
JG OR P DUAL-IN-LINE PACKAGE
(TOP VIEW)



TL082, TL082A, TL082B
JG OR P DUAL-IN-LINE PACKAGE
(TOP VIEW)

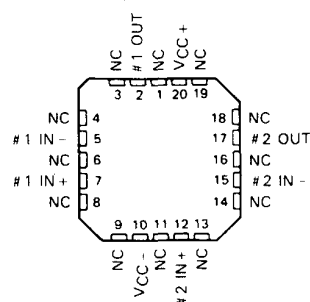


TL081M . . . FK
CHIP CARRIER PACKAGE
(TOP VIEW)



NC: No internal connection

TL082M . . . FK
CHIP CARRIER PACKAGE
(TOP VIEW)



DEVICE TYPES, SUFFIX VERSIONS, AND PACKAGES

	TL080	TL081	TL082	TL083	TL084	TL085
TL08 M	JG	FK, JG	FK, JG	FK, J	FK, J, W	*
TL08 I	JG, P	JG, P	JG, P	J, N	J, N	*
TL08 C	JG, P	JG, P	JG, P, D	J, N	J, N, D	N
TL08 AC	JG, P	JG, P	JG, P, D	J, N	J, N, D	*
TL08 BC	*	JG, P	JG, P	*	J, N	*

* These combinations are not defined by this data sheet

TEXAS
INSTRUMENTS

3-395

Operational Amplifiers

3

**TYPES TL080 THRU TL085, TL080A THRU TL084A
TL081B, TL082B, TL084B
JFET-INPUT OPERATIONAL AMPLIFIERS**

electrical characteristics, $V_{CC} \pm = \pm 15\text{ V}$ (unless otherwise noted)

PARAMETER	TEST CONDITIONS ¹	TL080			TL080C			TL080AC			UNIT		
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX
V_{IO} Input offset voltage	$V_O = 0$, $R_S = 50\ \Omega$		3	6		3	15		3	6		2	3
	$T_A = 25^\circ\text{C}$												
	$T_A = \text{full range}$			9			20			7.5			5
ΔV_{IO} Temperature coefficient of input offset voltage	$V_O = 0$ $T_A = \text{full range}$		10			10			10			10	$\mu\text{V}/^\circ\text{C}$
I_{IO} Input offset current ²	$V_O = 0$ $T_A = 25^\circ\text{C}$		5	100		5	200		5	100		5	100
	$T_A = \text{full range}$			10			2			2			2
I_{IB} Input bias current ²	$V_O = 0$ $T_A = 25^\circ\text{C}$		30	200		30	400		30	200		30	200
	$T_A = \text{full range}$			20			10			7			7
V_{ICR} Common mode input voltage range	$T_A = 25^\circ\text{C}$	± 11	± 15		± 11	± 15		± 11	± 15		± 11	± 15	V
	$R_L = 10\ \text{k}\Omega$		12			-12			-12			-12	
V_{OM} Maximum peak output voltage swing	$T_A = 25^\circ\text{C}$, $R_L = 10\ \text{k}\Omega$	± 12	± 13.5		± 12	± 13.5		± 12	± 13.5		± 12	± 13.5	V
	$T_A = \text{full range}$, $R_L = 2\ \text{k}\Omega$	± 12			± 12			± 12			± 12		
	$V_O = \pm 10\text{ V}$, $T_A = 25^\circ\text{C}$	± 10	± 12		± 10	± 12		± 10	± 12		± 10	± 12	V
A_{VO} Large signal differential voltage amplification	$V_O = \pm 10\text{ V}$, $T_A = 25^\circ\text{C}$	50	200		25	200		50	200		50	200	V/mV
	$R_L = 2\ \text{k}\Omega$												
B_1 Unity gain bandwidth	$T_A = 25^\circ\text{C}$	25			15			25			25		
f_t Input resistance	$T_A = 25^\circ\text{C}$		3			3			3			3	MHz
CMRR Common mode rejection ratio	$V_{ICR} \text{ min}$, $R_S = 50\ \Omega$, $T_A = 25^\circ\text{C}$		10 ^{1.2}			10 ^{1.2}			10 ^{1.2}			10 ^{1.2}	Ω
KSVR Supply voltage rejection ratio ($\Delta V_{CC} \pm \Delta V_{IO}$)	$V_{CC} = \pm 15\text{ V}$ to $\pm 9\text{ V}$, $R_S = 50\ \Omega$, $T_A = 25^\circ\text{C}$	80	86		70	86		80	86		80	86	dB
I_{CC} Supply current (per amplifier)	No load, $T_A = 25^\circ\text{C}$	80	86		70	86		80	86		80	86	dB
V_{OI}/V_{O2} Crosstalk attenuation	$V_O = 0$, $A_{VD} = 100$, $T_A = 25^\circ\text{C}$	1.4	2.8		1.4	2.8		1.4	2.8		1.4	2.8	mA
			120			120			120			120	dB

¹ All characteristics are measured under open-loop conditions with zero common-mode input voltage unless otherwise specified. Full range for T_A is 25°C to 85°C for TL080, and 0°C to 70°C for TL081, TL082, TL084, and TL085.

² Input bias currents of a JFET-input operational amplifier are normal junction reverse currents, which are temperature sensitive as shown in Figure 18. Pulse techniques must be used that will maintain the junction temperatures as close to the ambient temperature as is possible.

Operational Amplifiers

3

Logik-Gatter

SN54HC00, SN74HC00
QUADRUPEL 2-INPUT POSITIVE-NAND GATES

D2684, DECEMBER 1982 – REVISED MARCH 1984

- Package Options Include Plastic "Small Outline" Packages, Ceramic Chip Carriers, and Standard Plastic and Ceramic 300-mil DIPs
- Dependable Texas Instruments Quality and Reliability

description

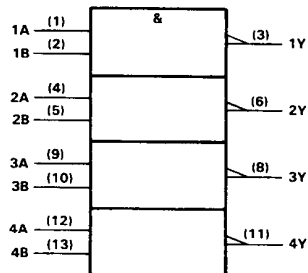
These devices contain four independent 2-input NAND gates. They perform the Boolean functions $Y = \overline{A \cdot B}$ or $Y = \overline{A} + \overline{B}$ in positive logic.

The SN54HC00 is characterized for operation over the full military temperature range of -55°C to 125°C . The SN74HC00 is characterized for operation from -40°C to 85°C .

FUNCTION TABLE (each gate)

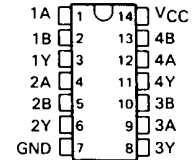
INPUTS		OUTPUT
A	B	Y
H	H	L
L	X	H
X	L	H

logic symbol†

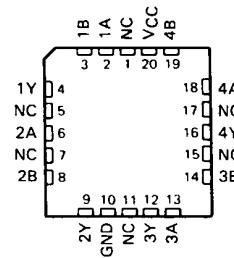


† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.
Pin numbers shown are for D, J, or N packages.

SN54HC00 ... J PACKAGE
SN74HC00 ... D OR N PACKAGE
(TOP VIEW)



SN54HC00 ... FK PACKAGE
(TOP VIEW)



NC – No internal connection

logic diagram (each gate)



2

HC MOS Devices

PRODUCTION DATA documents contain information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

TEXAS
INSTRUMENTS

Copyright © 1982, Texas Instruments Incorporated

2-3

SN54HC00, SN74HC00

QUADRUPLE 2-INPUT POSITIVE-NAND GATES

absolute maximum ratings over operating free-air temperature range†

Supply voltage, V_{CC}	−0.5 V to 7 V
Input clamp current, I_{IK} ($V_I < 0$ or $V_I > V_{CC}$)	±20 mA
Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{CC}$)	±20 mA
Continuous output current, I_O ($V_O = 0$ to V_{CC})	±25 mA
Continuous current through V_{CC} or GND pins	±50 mA
Lead temperature 1,6 mm (1/16 in) from case for 60 s: FK or J package	300°C
Lead temperature 1,6 mm (1/16 in) from case for 10 s: D or N package	260°C
Storage temperature range	−65°C to 150°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

recommended operating conditions

		SN54HC00			SN74HC00			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage	2	5	6	2	5	6	V
V_{IH}	High-level input voltage	$V_{CC} = 2\text{ V}$: 1.5 $V_{CC} = 4.5\text{ V}$: 3.15 $V_{CC} = 6\text{ V}$: 4.2			$V_{CC} = 2\text{ V}$: 1.5 $V_{CC} = 4.5\text{ V}$: 3.15 $V_{CC} = 6\text{ V}$: 4.2			V
V_{IL}	Low-level input voltage	$V_{CC} = 2\text{ V}$: 0 $V_{CC} = 4.5\text{ V}$: 0 $V_{CC} = 6\text{ V}$: 0			$V_{CC} = 2\text{ V}$: 0 $V_{CC} = 4.5\text{ V}$: 0 $V_{CC} = 6\text{ V}$: 0			V
V_I	Input voltage	0		V_{CC}	0		V_{CC}	V
V_O	Output voltage	0		V_{CC}	0		V_{CC}	V
t_t	Input transition (rise and fall) times	$V_{CC} = 2\text{ V}$: 0 $V_{CC} = 4.5\text{ V}$: 0 $V_{CC} = 6\text{ V}$: 0			$V_{CC} = 2\text{ V}$: 0 $V_{CC} = 4.5\text{ V}$: 0 $V_{CC} = 6\text{ V}$: 0			ns
T_A	Operating free-air temperature	−55		125	−40		85	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	V_{CC}	$T_A = 25^\circ\text{C}$			SN54HC00		SN74HC00		UNIT
			MIN	TYP	MAX	MIN	MAX	MIN	MAX	
V_{OH}	$V_I = V_{IH}$ or V_{IL} , $I_{OH} = -20\text{ }\mu\text{A}$	2 V	1.9	1.998		1.9		1.9		V
		4.5 V	4.4	4.499		4.4		4.4		
		6 V	5.9	5.999		5.9		5.9		
	$V_I = V_{IH}$ or V_{IL} , $I_{OH} = -4\text{ mA}$	4.5 V	3.98	4.30		3.7		3.84		
V_{OL}	$V_I = V_{IH}$ or V_{IL} , $I_{OH} = -5.2\text{ mA}$	6 V	5.48	5.80		5.2		5.34		V
	$V_I = V_{IH}$ or V_{IL} , $I_{OL} = 20\text{ }\mu\text{A}$	2 V	0.002	0.1		0.1		0.1		
		4.5 V	0.001	0.1		0.1		0.1		
		6 V	0.001	0.1		0.1		0.1		
	$V_I = V_{IH}$ or V_{IL} , $I_{OL} = 4\text{ mA}$	4.5 V	0.17	0.26		0.4		0.33		
	$V_I = V_{IH}$ or V_{IL} , $I_{OL} = 5.2\text{ mA}$	6 V	0.15	0.26		0.4		0.33		
I_I	$V_I = V_{CC}$ or 0	6 V	±0.1	±100		±1000		±1000		nA
I_{CC}	$V_I = V_{CC}$ or 0, $I_O = 0$	6 V		2		40		20		μA
C_i		2 to 6 V	3	10		10		10		pF

BIN/OCT-Decoder

**TYPES SN54LS138, SN54S138A, SN74LS138, SN74S138A
3-LINE TO 8-LINE DECODERS/DEMULPLEXERS**

DECEMBER 1972 REVISED APRIL 1985

- **Designed Specifically for High-Speed:**
Memory Decoders
Data Transmission Systems
- **3 Enable Inputs to Simplify Cascading and/or**
Data Reception
- **Schottky-Clamped for High Performance**

description

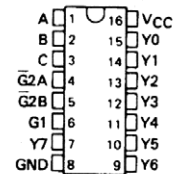
These Schottky-clamped TTL MSI circuits are designed to be used in high-performance memory decoding or data-routing applications requiring very short propagation delay times. In high-performance memory systems these decoders can be used to minimize the effects of system decoding. When employed with high-speed memories utilizing a fast enable circuit the delay times of these decoders and the enable time of the memory are usually less than the typical access time of the memory. This means that the effective system delay introduced by the Schottky-clamped system decoder is negligible.

The 'LS138 and 'S138A decode one of eight lines dependent on the conditions at the three binary select inputs and the three enable inputs. Two active-low and one active-high enable inputs reduce the need for external gates or inverters when expanding. A 24-line decoder can be implemented without external inverters and a 32-line decoder requires only one inverter. An enable input can be used as a data input for demultiplexing applications.

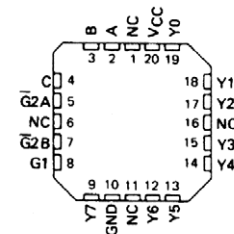
All of these decoder/demultiplexers feature fully buffered inputs, each of which represents only one normalized load to its driving circuit. All inputs are clamped with high-performance Schottky diodes to suppress line-ringing and to simplify system design.

The SN54LS138 and SN54S138A are characterized for operation over the full military temperature range of -55°C to 125°C. The SN74LS138 and SN74S138A are characterized for operation from 0°C to 70°C.

**SN54LS138, SN54S138A ... J OR W PACKAGE
SN74LS138, SN74S138A ... D, J OR N PACKAGE**
(TOP VIEW)

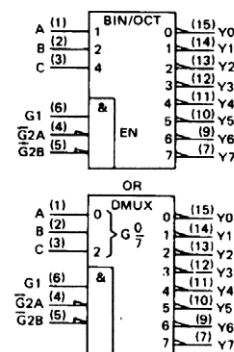


**SN54LS138, SN54S138A ... FK PACKAGE
SN74LS138, SN74S138A**
(TOP VIEW)



NC - No internal connection

logic symbols



Pin numbers shown on logic notation are for D, J or N packages

PRODUCTION DATA

This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

**TEXAS
INSTRUMENTS**

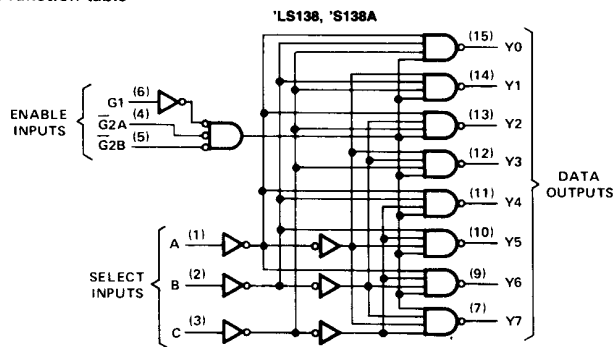
3-417

3

TTL DEVICES

TYPES SN54LS138, SN54S138A, SN74LS138, SN74S138A
3-LINE TO 8-LINE DECODERS/DEMULTIPLEXERS

logic diagram and function table



Pin numbers shown on logic notation are for D, J or N packages.

'LS138, 'S138A
FUNCTION TABLE

INPUTS					OUTPUTS							
ENABLE		SELECT										
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	L	H	H	H	H	H
H	L	H	L	L	H	H	H	L	H	H	H	H
H	L	H	L	H	H	H	H	H	L	H	H	H
H	L	H	H	L	H	H	H	H	H	L	H	H
H	L	H	H	H	H	H	H	H	H	H	L	H

*G2 = G2A + G2B

H = high level, L = low level, X = irrelevant

Zähler

**TYPES SN54290, SN54293, SN54LS290, SN54LS293,
SN74290, SN74293, SN74LS290, SN74LS293
DECADE AND 4-BIT BINARY COUNTERS**

MARCH 1974—REVISED DECEMBER 1983

'290, 'LS290 ... DECADE COUNTERS
'293, 'LS293 ... 4-BIT BINARY COUNTERS

- GND and VCC on Corner Pins
(Pins 7 and 14 Respectively)

description

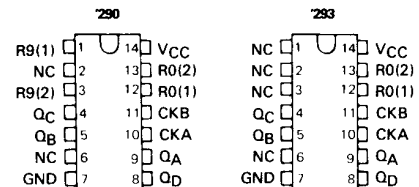
The SN54290/SN74290, SN54LS290/SN74LS290, SN54293/SN74293, and SN54LS293/SN74LS293 counters are electrically and functionally identical to the SN5490A/SN7490A, SN54LS90/SN74LS90, SN5493A/SN7493A, and SN54LS93/SN74LS93, respectively. Only the arrangement of the terminals has been changed for the '290, 'LS290, '293, and 'LS293.

Each of these monolithic counters contains four master-slave flip-flops and additional gating to provide a divide-by-two counter and a three-stage binary counter for which the count cycle length is divide-by-five for the '290 and 'LS290 and divide-by-eight for the '293 and 'LS293.

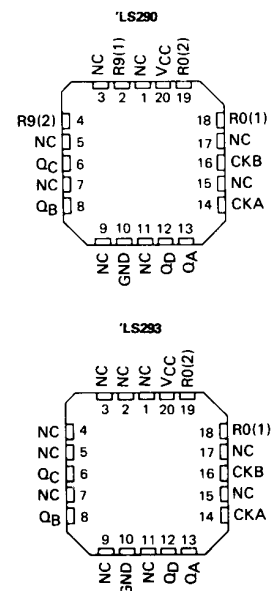
All of these counters have a gated zero reset and the '290 and 'LS290 also have gated set-to-nine inputs for use in BCD nine's complement applications.

To use the maximum count length (decade or four-bit binary) of these counters, the B input is connected to the Q_A output. The input count pulses are applied to input A and the outputs are as described in the appropriate function table. A symmetrical divide-by-ten count can be obtained from the '290 and 'LS290 counters by connecting the Q_D output to the A input and applying the input count to the B input which gives a divide-by-ten square wave at output Q_A.

SN54290, SN54LS290, SN54293,
SN54LS293 ... J OR W PACKAGE
SN74290, SN74293 ... J OR N PACKAGE
SN74LS290, SN74LS293 ... D, J OR N PACKAGE
(TOP VIEW)



SN54LS290, SN54LS293 ... FK PACKAGE
SN74LS290, SN74LS293
(TOP VIEW)



NC - No internal connection

3

TTL DEVICES

PRODUCTION DATA
This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

**TEXAS
INSTRUMENTS**

3-789

**TYPES SN54290, SN54293, SN54LS290, SN54LS293,
SN74290, SN74293, SN74LS290, SN74LS293
DECADE AND 4-BIT BINARY COUNTERS**

'290, 'LS290
BCD COUNT SEQUENCE
(See Note A)

COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

'290, 'LS290
BI-QUINARY (5-2)
(See Note B)

COUNT	OUTPUT			
	Q _A	Q _D	Q _C	Q _B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	H
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

'290, 'LS290
RESET/COUNT FUNCTION TABLE

RESET INPUTS				OUTPUT			
R ₀ (1)	R ₀ (2)	R ₉ (1)	R ₉ (2)	Q _D	Q _C	Q _B	Q _A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	COUNT			
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			

'293, 'LS293
COUNT SEQUENCE
(See Note C)

COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

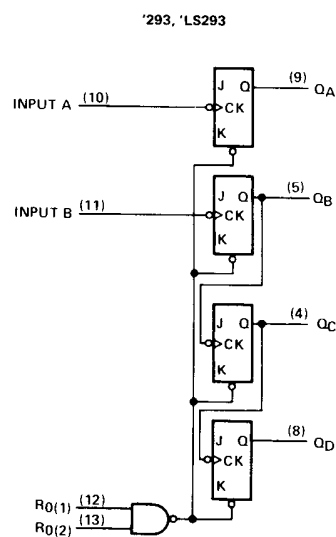
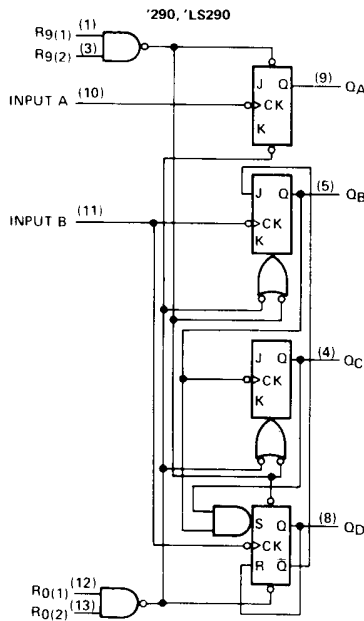
'293, 'LS293
RESET/COUNT FUNCTION TABLE

RESET INPUTS		OUTPUT			
R ₀ (1)	R ₀ (2)	Q _D	Q _C	Q _B	Q _A
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

NOTES:

- Output Q_A is connected to input B for BCD count.
- Output Q_D is connected to input A for bi quinary count.
- Output Q_A is connected to input B.
- H = high level, L = low level, X = irrelevant

logic diagrams



The J and K inputs shown without connection are for reference only and are functionally at a high level.

40 E-Reihen und Toleranzen

E 6	E 12	E 24
1,0	1,0	1,0
		1,1
		1,2
1,5	1,5	1,3
		1,5
		1,6
2,2	2,2	1,8
		2,0
		2,2
2,7	2,7	2,4
		2,7
		3,0

E 6	E 12	E 24
3,3	3,3	3,3
		3,6
		3,9
4,7	4,7	4,3
		4,7
		5,1
6,8	6,8	5,6
		6,2
		6,8
8,2	8,2	7,5
		8,2
		9,1

E-Reihe	E 6	E 12	E 24	E 48	E 96	E 192
Toleranz	± 20 %	± 10 %	± 5 %	± 2 %	± 1 %	± 0,5 %

41 Kennzeichnung von Kapazitäts- und Widerstandswerten

Kennbuchstabe	Multiplikator	Kennbuchstabe	Multiplikator
p	10 ⁻¹² Pico	R	10 ⁰ -
n	10 ⁻⁹ Nano	K	10 ³ Kilo
μ	10 ⁻⁶ Mikro	M	10 ⁶ Mega
m	10 ⁻³ Milli	G	10 ⁹ Giga
F	10 ⁰ -	T	10 ¹² Tera

Kapazitätswert	Kennzeichnung	Widerstandswert	Kennzeichnung
0,39 pF	p 39	0,39 Ω	R 39
3,9 pF	3 p 9	3,9 Ω	3 R 9
39 pF	39 p	39 Ω	39 R
0,39 nF	n 39	0,39 kΩ	K 39
3,9 nF	3 n 9	3,9 kΩ	3 K 9
39 nF	39 n	39 kΩ	39 K
0,39 μF	μ 39	0,39 MΩ	M 39
3,9 μF	3 μ 9	3,9 MΩ	3 M 9
39 μF	39 μ	39 MΩ	39 M